
UNA ESTIMACIÓN DEL LÍMITE DE LA COMPUTACIÓN CLÁSICA A PARTIR DE LA DENSIDAD DE TRANSISTORES MEDIDA EN MTr/MM^2 Y DE CONSIDERACIONES TERMODINÁMICAS

JUAN MIGUEL IBÁÑEZ DE ALDECOA QUINTANA

El objetivo de este trabajo, es realizar una aproximación posterior a la preliminar presentada en un trabajo anterior, para la estimación del límite de la tecnología de silicio y por lo tanto del límite de la ley de Moore y de la computación clásica basada en el silicio. Como ya se indicó en dicha aproximación preliminar, la denominación actual de los nodos tecnológicos del transistor de silicio, no se corresponde actualmente con ninguna dimensión física relacionada con el transistor, como la longitud de la puerta¹, la longitud efectiva del canal², la distancia entre la puerta de dos transistores³ o la distancia entre las líneas de interconexión⁴.

En efecto, la denominación actual de los nodos tecnológicos, responde a un nombre

comercial de una nueva generación con mayor densidad de integración en millones de transistores por milímetro cuadrado, en adelante MTr/mm^2 , pero sin que ello suponga realmente que cada nodo tecnológico consiga respecto al nodo anterior el doble de densidad de integración de transistores y, por lo tanto, que cada nodo tecnológico se corresponda con el número máximo de MTr/mm^2 , que de forma teórica se podría albergar en 1 mm^2 . Se determina ahora, en primer lugar, la densidad teórica máxima de cada nodo tecnológico comercial en MTr/mm^2 . Posteriormente, mediante datos reales de densidad publicados por fuentes contrastadas correspondientes a los principales fabricantes: Intel, TSMC, Samsung e IBM, se obtiene la correspondencia entre la densidad teórica máxima del nodo comer-

1 Gate length

2 Channel length

3 Gate pitch

4 Metal pitch

cial y la densidad del nodo real y a partir de ahí, teniendo en cuenta la progresión media de densidad de cada fabricante, se estima el límite temporal en el que se llegaría a la densidad teórica máxima y por lo tanto, al fin de la ley de Moore y al límite del progreso en la computación clásica mediante la tecnología de silicio. Finalmente, se realizan también consideraciones termodinámicas, ya que la densidad de transistores influye en la disipación de calor y un chip que no se encuentre correctamente refrigerado, con su correspondiente disipador, se fundiría al conectarlo. Estas consideraciones termodinámicas representan también un límite teórico de la ley de Moore.

INTRODUCCIÓN

Como se mencionó en un trabajo anterior, una aproximación posterior al límite de la tecnología de silicio, requeriría una caracterización de los nodos tecnológicos de las diferentes compañías en términos de densidad, medida en millones de transistores por mm² (MTr/mm²), comparándolos con la densidad teórica máxima de cada nodo tecnológico, ya que el número de nanómetros (nm) desde hace tiempo corresponde más al marketing que a una realidad física. En efecto, hace ya muchos años que el número de nm dejó de ser un número real y cayó en manos de los departamentos de marketing de las fundiciones (*foundries*). Así, cuando las diferentes compañías indican que sus procesadores o chips son de 14 nanómetros, en realidad no hay nada en los transistores que mida 14 nm. Las fundiciones, a falta de un estándar intentan acercarse a lo que sería el equivalente si las celdas de memoria siguieran siendo el estándar, no obstante, la realidad es que sus intereses en marketing gobiernan por encima de ello. Si p.ej., TSMC e Intel, ofrecen procesos de fabricación a los que llaman 14 nm, la realidad es que probablemente haya grandes variaciones en los tamaños de los componentes de los transistores de unos a otros y por tanto en la densidad de transistores de los chips que fabrican [referencia 1]. Así, ese número se refiere exclusivamente a una generación específica de chips fabricados con una tecnología determinada,

supuestamente superior y más avanzada que la anterior, pero ya no corresponde a ninguna dimensión concreta de los dispositivos fabricados. Esto hace necesaria una aproximación posterior para determinar de forma más precisa el límite de la tecnología de silicio y de la computación clásica, mediante transistores que implementan bits, y, por lo tanto, el fin de la ley de Moore basada en la tecnología de silicio. Para la realización de este trabajo, se parte de la tabla 1, que recoge en MTr/mm², la densidad de los principales nodos tecnológicos comerciales, considerando que se pudiera llegar hasta la dimensión del átomo de silicio, esto es, 0,24 nm, que se aproxima por 0,25 nm:

TABLA 1
DENSIDAD DE LOS PRINCIPALES NODOS
TECNOLÓGICOS COMERCIALES

Año	Dimensión Nodos comerciales (nm)	Área Nodo (nm ² /Tr)	Densidad teórica máxima en MTr/mm ²
2004	90	8100	123
2006	65	4225	237
2008	45	2025	494
2010	32	1024	977
2012	22	484	2.066
2014	14	196	5.102
2016	10	100	10.000
2018	7	49	20.408
2020	5	25	40.000
2022	4	16	62.500
2024	3	9	111.111
2026	2	4	250.000
2028	1	1	1.000.000
2030	0,8	0,64	1.562.500
2032	0,6	0,36	2.777.778
2034	0,4	0,16	6.250.000
2036	0,3	0,09	11.111.111
2038	0,25	0,0625	16.000.000

Fuente: Elaboración propia

La tabla 1 parte de la suposición de que el área de un nodo tecnológico se corresponde con el área de un transistor. Entonces, para obtener la densidad de cada nodo en

MTr/mm², simplemente hay que aplicar la siguiente ecuación:

$$\text{densidad} \left(\frac{\text{Tr}}{\text{nm}^2} \right) = \frac{1 \text{ Tr}}{\text{Área nodo nm}^2}$$

ya que el Área de cada nodo representa en esta aproximación la superficie en nm² que ocupa cada transistor. Equivalentemente,

$$\text{densidad} \left(\frac{\text{MTr}}{\text{mm}^2} \right) = \frac{10^6 \cdot \text{MTr}/\text{mm}^2}{\text{Área nodo}}$$

Siendo Área nodo el valor adimensional que aparece en la columna Área Nodo (nm²/Tr). De esta forma, se han calculado los valores que aparecen en la columna "Densidad teórica máxima" en MTr/mm². Por lo tanto, de forma teórica, si las técnicas de fabricación lo permitiesen, el nodo tecnológico de 1 nm llegaría a una densidad teórica máxima de 1 Billón de Transistores por milímetro cuadrado, en adelante BTr/mm² y si se consiguiese escalar hasta a la dimensión del átomo de silicio, la densidad de integración alcanzaría 16 BTr/mm². Como se verá, cifras muy alejadas de las densidades de integración actuales.

COMPARACIÓN DE LA DENSIDAD TEÓRICA MÁXIMA DE LOS DIFERENTES NODOS TECNOLÓGICOS CON LA DENSIDAD DE INTEGRACIÓN REAL DE LOS PRINCIPALES FABRICANTES

La aproximación preliminar al límite de la tecnología de silicio, determinó que entre los años **2028** y **2030** podría encontrarse disponible el nodo de **1 nm** y que en caso de que fuese posible escalar hasta la dimensión del átomo de silicio, esta tecnología se encontraría disponible entre **2036** y **2038**. Sin embargo, la aproximación preliminar estaba considerando nodos comerciales. Ahora, lo que se pretende realizar es una comparación de la densidad de integración real de los nodos de los diferentes fabricantes con la densidad teórica máxima que se ha detallado en la Tabla 1. De esta forma, se pretende estimar en qué momento cada

uno de los principales fabricantes llegaría al límite dimensional de la tecnología de silicio, en caso de que esto fuese técnicamente factible. Se parte de la tabla 2, con valores reales de los diferentes fabricantes:

TABLA 2
DENSIDADES DE TRANSISTORES DE LOS DIFERENTES FABRICANTES EN MTr/MM²

Nodo (nm)	IBM**	TSMC	Intel	Samsung
22			16,5	
16/14		28,88	44,67	33,32
10		52,51	100,76	51,82
7		91,20	237,18*	95,08
5		171,30		
3		292,21*		
2	333,33			

*Densidad estimada

**IBM actualmente solo diseña pero no fabrica chips

Fuente: WikiChip

Actualmente TSMC está trabajando en el nodo de 2 nm e IBM asegura haberlo conseguido y es necesario señalar, que si todo sale como han previsto, su lanzamiento en el mercado se puede esperar para 2025. Pero como se indicaba esto no es realmente así ya que en todo caso el lanzamiento en 2025 sería el de un nodo comercial de 2 nm. En efecto, ahora, se va a convertir cada nodo tecnológico comercial, en su correspondiente nodo tecnológico real.

Así, por ejemplo, considerando el nodo de **2 nm** de IBM, su densidad de integración asciende a **333,33 MTr/mm²**. Este valor es muy inferior a la densidad teórica máxima de un nodo de **2 nm** que asciende a **250.000 MTr/mm²**. Para calcular con qué nodo real se correspondería el nodo comercial de 2 nm de IBM, se tiene que el área del nodo será

$$\text{Área nodo} \left(\frac{\text{nm}^2}{\text{Tr}} \right) = \frac{10^6 \text{ nm}^2}{333,33 \text{ Tr}}$$

y extrayendo su raíz cuadrada para hallar así la dimensión del nodo se tendría

$$\text{Dimension nodo} = \frac{10^3}{\sqrt{333,33}} \text{ nm} \approx 55 \text{ nm}$$

En definitiva, el **nodo comercial** de **2 nm** de **IBM**, es equivalente en densidad de integración a un **nodo real** de **55 nm**. Se indica a continuación para cada fabricante la relación entre el nodo comercial y el nodo real hasta llegar al límite que impone la dimensión del átomo de silicio.

INTEL

Se parte de los datos de Intel que se reflejan en la Tabla 2, hasta llegar a la densidad teórica máxima que se correspondería con el átomo de silicio:

**TABLA 3
FACTOR DE ESCALADO DE DENSIDAD DE INTEL**

Intel Densidad MTr/mm ²	Factor de escalado de densidad	Nodo real (nm)
16,5	-	246
44,67	2,7	150
100,76	2,3	100
237,18	2,4	65
578*	2,4**	42
1.411*		27
3.411*		17
8.392*		11
20.469*		7
49.922*		4
121.757*		3
296.958*		2
724.263*		1
1.776.438*		0,8
4.308.246*		0,5
10.507.576*		0,3
>16.000.000*		0,2

*Valores estimados
 **Valor medio de los tres anteriores
 Fuente: Elaboración propia a partir de WikiChip

Para obtener el factor de escalado de densidad de Intel, simplemente hay que aplicar:

$$Factor_{año\ x+1} = \frac{Densidad\ real_{año\ x+1}}{Densidad\ real_{año\ x}}$$

Como a partir del nodo comercial de 7 nm de Intel no se dispone de información, se estima el factor de escalado de densidad como la media de los tres nodos anteriores y así el factor de escalado de densidad a partir del nodo comercial de 5 nm sería, redondeando a un decimal, igual a **2,4** y la densidad de cada nodo siguiente, tal y como se ha reflejado en la tabla 3, se calcularía:

$$Densidad_{x+1} = Densidad_x * Factor$$

La densidad del nodo real en nm, como se ha indicado anteriormente, se ha calculado de la forma siguiente:

$$Nodo\ real = \frac{10^3}{\sqrt{Densidad\ real}}\ nm$$

Si ahora, se hace corresponder los nodos comerciales, con su densidad teórica máxima y con su densidad real y con su nodo real, se llegaría a la tabla 4:

Como se observa en la tabla 4, los nodos comerciales de Intel correspondientes a **22, 14, 10 y 7 nm** se corresponden con nodos reales de **246, 150, 100 y 65 nm**. A la densidad real del nodo de **1 nm** (1BTr/mm²) se llegaría entre los años **2036 y 2038** y en caso de que fuese posible escalar hasta la misma dimensión del átomo de silicio (16 BTr/mm²) se llegaría a esta densidad entre los años **2042 a 2044**, por lo que la estimación para el caso de Intel es que el límite de la tecnología de silicio y el fin de la ley de Moore se encontraría entre **2036 y 2044** y por lo tanto, aproximadamente quedaría a partir del año 2022 entre unos **14 y 22 años** para el progreso de la computación clásica basada en el silicio. En la tabla 5 se indica el límite temporal de la tecnología de silicio y, por lo tanto, del fin de la ley de Moore, considerando el límite dimensional en 1 nm y considerando el límite dimensional en la dimensión del átomo de silicio, en el caso de la aproximación preliminar y para el caso que tiene en cuenta la densidad en MTr/mm² del fabricante Intel.

TABLA 4
CORRESPONDENCIA ENTRE NODOS COMERCIALES Y REALES DE INTEL

Año	Nodo Comercial (nm)	Densidad teórica máxima MTr/mm ²	Densidad real MTr/mm ²	Nodo real (nm)
2004	90	123	-	-
2006	65	237	-	-
2008	45	494	-	-
2010	32	977	-	-
2012	22	2.066	16,5	246
2014	14	5.102	44,67	150
2016	10	10.000	100,76	100
2018	7	20.408	237,18	65
2020	5	40.000	578	42
2022	4	62.500	1.411	27
2024	3	111.111	3.441	17
2026	2	250.000	8.392	11
2028	1	1.000.000	20.469	7
2030	0,8	1.562.500	49.922	4
2032	0,6	2.777.778	121.757	3
2034	0,4	6.250.000	296.958	2
2036	0,3	11.111.111	724.263	1
2038	0,25	16.000.000	1.766.438	0,8
2040			4.308.246	0,5
2042			10.507.576	0,3
2044			> 16.000.000	0,2

Fuente: Elaboración propia

TABLA 5
LÍMITE DE LA TECNOLOGÍA DE SI.
CASO INTEL

Límite temporal	Límite 1 nm	Límite dimensión átomo Si (0,24 nm)
Aproximación preliminar	2028-2030	2036-2038
Intel (Densidad MTr/mm ²)	2036-2038	2042-2044

Fuente: elaboración propia

Se procede a realizar el mismo ejercicio para TSMC, Samsung e IBM.

TSMC

Se parte de los datos de TSMC que se reflejan en la Tabla 2, hasta llegar a la densidad teórica máxima que se correspondería con el átomo de silicio:

El factor de escalado y el nodo real se han obtenido de forma análoga a como se ha realizado para el caso de Intel. Si ahora se hace corresponder los nodos comerciales, con su densidad teórica máxima y con su densidad real y con su nodo real, se llegaría a la tabla 7:

TABLA 6
FACTOR DE ESCALADO DE DENSIDAD DE TSCM

TSMC Densidad MTr/mm ²	Factor de escalado de densidad	Nodo real (nm)
28,88	-	186
52,51	1,8	138
91,20	1,7	105
171,30	1,9	76
231,70	1,4	66
292,21	1,3	58
470*	1,6**	46
757*		36
1.218*		29
1.961*		23
3.155*		18
5.078*		14
8.173*		11
13.154*		9
21.170*		7
34.071*		5
54.834*		4
88.251*		3
142.034*		2,7
228.591*		2
367.899*		1,6
592.104*		1,3
952.942*		1,0
1.533.682*		0,8
2.468.336*		0,6
3.972.586*		0,5
6.393.552*	0,4	
10.289.899*	0,3	
>16.000.000	0,2	

*Valores estimados

**Valor medio de los cinco anteriores

Fuente: Elaboración propia a partir de WikiChip

Como se observa en la tabla 7 anterior, los nodos comerciales de TSMC correspondientes a **14, 10, 7, 5 y 3 nm** se corresponden con nodos reales de **186, 138, 105, 76 y 58 nm**. A la densidad real del nodo de 1 nm (1BTr/mm²) se llegaría entre los años **2058 y 2060** y en caso de que fuese posible escalar hasta la misma dimensión del átomo de

silicio (16 BTr/mm²) se llegaría a esta densidad entre los años **2068 a 2070**, por lo que la estimación para el caso de TSMC es que el límite de la tecnología de silicio y el fin de la ley de Moore se encontraría entre **2058 y 2070** y por lo tanto, aproximadamente quedarían entre unos **36 y 48** años para el progreso de la computación clásica basa-

TABLA 7
CORRESPONDENCIA ENTRE NODOS COMERCIALES Y REALES DE TSMC

Año	Nodo Comercial (nm)	Densidad teórica máxima MTr/mm ²	Densidad real MTr/mm ²	Nodo real (nm)
2004	90	123	-	-
2006	65	237	-	-
2008	45	494	-	-
2010	32	977	-	-
2012	22	2.066	-	-
2014	14	5.102	28,88	186
2016	10	10.000	52,51	138
2018	7	20.408	91,2	105
2020	5	40.000	171,3	76
2022	4	62.500	232*	66
2024	3	111.111	292	58
2026	2	250.000	470	46
2028	1	1.000.000	757	36
2030	0,8	1.562.500	1.218	29
2032	0,6	2.777.778	1.961	23
2034	0,4	6.250.000	3.155	18
2036	0,3	11.111.111	5.078	14
2038	0,25	16.000.000	8.173	11
2040			13.154	9
2042			21.170	7
2044			34.071	5
2046			54.834	4
2048			88.251	3
2050			142.034	2,7
2052			228.591	2
2054			367.899	1,6
2056			592.104	1,3
2058			952.942	1,0
2060			1.533.682	0,8
2062			2.468.336	0,6
2064			3.972.586	0,5
2066			6.393.552	0,4
2068			10.289.899	0,3
2070			>16.000.000	0,2

*Promedio de las densidades de los nodos comerciales de 5 y 3 nm cuyos datos en el caso de TSMC se encuentran disponibles
Fuente: Elaboración propia

da en el silicio. El cálculo del factor y de la densidad real se ha realizado de una forma análoga al caso anterior. En la tabla 8 se indica el límite temporal de la tecnología de silicio y, por lo tanto, del fin de la ley de Moore, considerando el límite dimensional en 1

nm y considerando el límite dimensional en la dimensión del átomo de silicio en el caso de la aproximación preliminar y para el caso que tiene en cuenta la densidad en MTr/mm² del fabricante TSMC.

**TABLA 8
LÍMITE DE LA TECNOLOGÍA DE SI.
CASO TSMC**

Límite temporal	Límite 1 nm	Límite dimensión átomo Si (0,24 nm)
Aproximación preliminar	2028-2030	2036-2038
TSMC (Densidad MTr/mm ²)	2058-2060	2068-2070

Fuente: elaboración propia

SAMSUNG

Se parte de los datos de Samsung que se reflejan en la Tabla 2, hasta llegar a la densidad teórica máxima que se correspondería con el átomo de silicio:

**TABLA 9
FACTOR DE ESCALADO DE
DENSIDAD DE SAMSUNG**

Samsung Densidad MTr/mm ²	Factor de escalado de densidad	Nodo real (nm)
33,32	-	173
51,82	1,6	139
95,08	1,8	103
161*	1,7**	79
273*		61
463*		46
785*		36
1.330*		27
2.255*		21
3.822*		16
6.479*		12
10.981*		10
18.614*		7
31.550*		6
53.479*		4
90.647*		3
153.648*		2,6
260.436*		2
441.444*		1,5
748.256*		1,2
1.268.307*		0,9
2.149.802*		0,7
3.643.952*		0,5
6.176.562*	0,4	
10.469.381	0,3	
>16.000.000	0,2	

*Valores estimados

**Valor medio de los dos anteriores

Fuente: elaboración propia a partir de WikiChip

El factor de escalado y el nodo real se han obtenido de forma análoga a como se ha realizado para el caso de Intel. Si ahora, se hace corresponder los nodos comerciales, con su densidad teórica máxima y con su densidad real y con su nodo real, se llegaría a la tabla 10:

**TABLA 10
CORRESPONDENCIA ENTRE NODOS
COMERCIALES Y REALES DE
SAMSUNG**

Año	Nodo Comercial (nm)	Densidad teórica máxima MTr/mm ²	Densidad real MTr/mm ²	Nodo real (nm)
2004	90	123	-	-
2006	65	237	-	-
2008	45	494	-	-
2010	32	977	-	-
2012	22	2.066	-	-
2014	14	5.102	33,32	173
2016	10	10.000	51,82	139
2018	7	20.408	95,08	103
2020	5	40.000	161	79
2022	4	62.500	273	61
2024	3	111.111	463	46
2026	2	250.000	785	36
2028	1	1.000.000	1.330	27
2030	0,8	1.562.500	2.255	21
2032	0,6	2.777.778	3.822	16
2034	0,4	6.250.000	6.479	12
2036	0,3	11.111.111	10.981	10
2038	0,25	16.000.000	18.614	7
2040			31.550	6
2042			53.479	4
2044			90.647	3
2046			153.648	2,6
2048			260.436	2
2050			441.444	1,5
2052			748.256	1,2
2054			1.268.307	0,9
2056			2.149.802	0,7
2058			3.643.952	0,5
2060			6.176.562	0,4
2062			10.469.381	0,3
2064			> 16.000.000	0,2

Fuente: Elaboración propia

**TABLA 11
LÍMITE DE LA TECNOLOGÍA DE SI.
CASO SAMSUNG**

Límite temporal	Límite 1 nm	Límite dimensión átomo Si (0,24 nm)
Aproximación preliminar	2028-2030	2036-2038
Samsung (Densidad MTr/mm2)	2052-2054	2062-2064

Fuente: elaboración propia

Como se observa en la tabla 10 anterior, los nodos comerciales de Samsung correspondientes a **14, 10, y 7 nm** se corresponden con nodos reales de **173, 139 y 103 nm**. A la densidad real del nodo de **1 nm** (1BTr/mm²) se llegaría entre los años **2052 y 2054** y en caso de que fuese posible escalar hasta la misma dimensión del átomo de silicio (16 BTr/mm²) se llegaría a esta densidad entre los años **2062 y 2064**, por lo que la estimación para el caso de Samsung es que el límite de la tecnología de silicio y el fin de la ley de Moore se encontraría entre **2052 y 2064** y por lo tanto, aproximadamente

**TABLA 12
CORRESPONDENCIA ENTRE NODOS COMERCIALES Y REALES DE IBM**

Año	Nodo Comercial (nm)	Densidad teórica máxima MTr/mm ²	Densidad real MTr/mm ²	Nodo real (nm)
2004	90	123	-	-
2006	65	237	-	-
2008	45	494	-	-
2010	32	977	-	-
2012	22	2.066	-	-
2014	14	5.102	-	-
2016	10	10.000	-	-
2018	7	20.408	-	-
2020	5	40.000	-	-
2022	4	62.500	-	-
2024	3	111.111	-	-
2026	2	250.000	333,33	55
2028	1	1.000.000	633	40
2030	0,8	1.562.500	1.203	29
2032	0,6	2.777.778	2.286	21
2034	0,4	6.250.000	4.344	15
2036	0,3	11.111.111	8.254	11
2038	0,25	16.000.000	15.682	8
2040			29.795	6
2042			56.611	4
2044			107.561	3
2046			204.367	2
2048			388.297	1,6
2050			737.764	1,2
2052			1.401.752	0,8
2054			2.663.329	0,6
2056			5.060.325	0,4
2058			9.614.618	0,3
2060			>16.000.000	0,2

Fuente: Elaboración propia

quedarían entre unos **30 y 42 años** para el progreso de la computación clásica basada en el silicio. El cálculo del factor y de la densidad real se ha realizado de una forma análoga a los casos anteriores. En la tabla 11 se indica el límite temporal de la tecnología de silicio y, por lo tanto, del fin de la ley de Moore, considerando el límite dimensional en 1 nm y considerando el límite dimensional en la dimensión del átomo de silicio en el caso de la aproximación preliminar y para el caso que tiene en cuenta la densidad en MTr/mm² del fabricante Samsung.

IBM

En el caso de IBM solo se dispone del dato de **333,33 MTr/mm²** correspondientes al caso del nodo **de 2 nm**. No se puede estimar el factor de escalado de densidad, por lo que tomaremos la media de los factores de Intel, TSMC y Samsung. En concreto, un factor de 1,9. El nodo real equivalente a una densidad de **333,33 MTr/mm²** es el nodo de **55 nm**:

Como se observa en la tabla 12 anterior, el nodo comercial de IBM correspondiente a **2 nm** se corresponden con un nodo real **de 55 nm**. A la densidad real del nodo de **1 nm** (IBTr/mm²) se llegaría entre los años **2050 y 2052** y en caso de que fuese posible escalar hasta la misma dimensión del átomo de silicio (16 BTr/mm²) se llegaría a esta densidad entre los años **2058 y 2060**, por lo que la estimación para el caso de IBM es que el límite de la tecnología de silicio y el fin de la ley de Moore se encontraría entre **2050 y 2060** y por lo tanto, aproximadamente quedarían entre unos **28 y 38 años** para el progreso de la computación clásica basada en el silicio. El cálculo del factor y de la densidad real se ha realizado de una forma análoga a los casos anteriores. En la tabla 13 se indica el límite temporal de la tecnología de silicio y, por lo tanto, del fin de la ley de Moore, considerando el límite dimensional en 1 nm y considerando el límite dimensional en la dimensión del átomo de silicio para el caso de la aproximación preliminar y para el caso que tiene en cuenta la densidad en MTr/mm² de IBM.

TABLA 13
LÍMITE DE LA TECNOLOGÍA DE SI.
CASO IBM

Límite temporal	Límite 1 nm	Límite dimensión átomo Si (0,24 nm)
Aproximación preliminar	2028-2030	2036-2038
IBM (Densidad MTr/mm ²)	2050-2052	2058-2060

Fuente: elaboración propia

CONSIDERACIONES TERMODINÁMICAS

Lo realizado hasta el momento, en las tablas anteriores es un mero ejercicio de prospectiva. Para que esos valores de densidad de integración puedan conseguirse, es necesario tener en cuenta consideraciones termodinámicas, relativas al calor que un chip con un determinado nivel de integración es capaz de disipar. La densidad de transistores medida en MTr/mm² de la Tabla 1 es meramente teórica y resulta difícil que, a fecha de hoy, esas densidades puedan llegar a obtenerse. En efecto, si actualmente, se conectara un chip de esas densidades a la tensión eléctrica, probablemente se fundiría con independencia del disipador.

Aunque, cada vez que un transistor se enciende o se apaga para responder a una pregunta de sí o no, se libera una cantidad de calor ínfima a su entorno, hay que tener en cuenta que en un único chip hay millones de transistores encendiéndose y apagándose mil millones de veces por segundo. Si no se refrigerasen, su superficie se calentaría más que una placa de vitrocerámica. Atendiendo entonces a las leyes del calor, parece que no nos encontramos lejos de alcanzar el final del camino por el que los transistores de silicio nos han llevado. El final de la ley de Moore, está pues ligado a la investigación y desarrollo (I+D) sobre formas de reducir el calor que se disipa cada vez que se procesa un bit y estas investigaciones se encuentran en plena expansión.

Hay que tener en cuenta que la Potencia de un transistor en conmutación de 0 a 1 o bien de 1 a 0 viene dada por la siguiente expresión:

$$P = \frac{1}{2} \cdot C \cdot V^2 \cdot f$$

Donde P es la potencia medida en vatios, C es la capacidad, V es la tensión de alimentación de la lógica y f es la frecuencia.

Considerando un transistor CMOS típico, su capacidad es del orden de 5 femtofaradios, la tensión de alimentación 5 V y se considera para el cálculo una frecuencia de 1 GHz.

Por lo tanto, la potencia disipada por un único transistor sería:

$$P = \frac{1}{2} \cdot 5 \cdot 10^{-15} \cdot 5^2 \cdot 10^9 \text{ W/Tr} = 0,0000625 \text{ W/Tr}$$

Considerando N transistores, con $N = 10^7$ Transistores, la potencia total sería:

$$P_T = N \cdot P = 10^7 \text{ Tr} \cdot 0,0000625 \frac{W}{Tr} = 625 \text{ W}$$

Este chip necesitaría mucho enfriamiento para evitar que se fundiese. Una forma obvia de reducir una potencia tan grande es utilizar una lógica de 1 V en vez de 5 V, lo cual reduce la potencia a un valor más aceptable de 25 W:

$$P = \frac{1}{2} \cdot 5 \cdot 10^{-15} \cdot 1^2 \cdot 10^9 \frac{W}{Tr} = 0,0000025 \text{ W/Tr}$$

$$P_T = 10^7 \cdot 0,0000025 \text{ W} = 25 \text{ W}$$

Se entiende que los 10^7 Transistores serían por cada cm^2 , es decir 10^7 Tr/cm^2 que equivaldrían a 10^5 Tr/mm^2 y que los 25 W son por cm^2 por lo que la disipación por transistor sería:

$$P = 0,0000025 \frac{W}{Tr \cdot \text{cm}^2} = 0,00000025 \text{ W/(Tr} \cdot \text{mm}^2)$$

Estos cálculos se han obtenido del libro "The logician and the engineer" de Paul J. Nahin [referencia II], sin embargo, adolecen

de una carencia y es que no especifican la superficie sobre la cual se disipa dicha potencia.

Por lo tanto, es necesario realizar los cálculos sobre la tabla 2, que repetimos aquí para mayor comodidad, para obtener las Potencias por mm^2 .

TABLA 14
DENSIDADES DE TRANSISTORES
DE LOS DIFERENTES FABRICANTES
EN MTR/MM²

Nodo (nm)	IBM**	TSMC	Intel	Samsung
22			16,5	
16/14		28,88	44,67	33,32
10		52,51	100,76	51,82
7		91,20	237,18*	95,08
5		171,30		
3		292,21*		
2	333,33			

*Densidad estimada

**IBM actualmente solo diseña pero no fabrica chips

Fuente: elaboración propia

Las potencias disipadas por mm^2 , teniendo en cuenta una lógica con una tensión de 1 V y una frecuencia de 10^9 Hz , serían las siguientes:

TABLA 15
POTENCIAS DISIPADAS EN LOS
DIFERENTES NODOS REALES

Potencia medida en W/mm ²				
Nodo (nm)	IBM	TSMC	Intel	Samsung
22			0,4	
16/14		0,7	1,1	0,8
10		1,3	2,5	1,3
7		2,3	5,9	2,4
5		4,3		
3		7,3		
2	8,3			

Fuente: elaboración propia

En la tabla anterior se observa como la Potencia aumenta a medida que la densidad de integración crece.

Si se considera ahora la densidad de integración real del nodo de 1 nm, es decir una densidad de transistores 10^6 MTr/mm², la potencia disipada sería:

$$P_T = 25.000 \text{ W/mm}^2$$

Valor claramente inaceptable y que conllevaría estudiar la viabilidad de un diseño de los transistores con una capacidad cinco órdenes de magnitud inferior, es decir, en vez de 5 femtofaradios ($= 5 \cdot 10^{-15}$ F), de $5 \cdot 10^{-20}$ faradios

$$P = \frac{1}{2} \cdot 5 \cdot 10^{-20} \cdot 1^2 \cdot 10^9 \frac{W}{Tr} = 0,000000000025 \text{ W/Tr}$$

y la Potencia total sería:

$$P_T = 10^{12} Tr \cdot 0,000000000025 \frac{W}{Tr} = 25 \text{ W}$$

Con lo cual, se concluye que para conseguir tamaños de 1 nm de transistor en el chip, se necesitan diseños de transistores capaces de conseguir una capacidad de $5 \cdot 10^{-20}$ F, capacidad varios órdenes de magnitud inferior a la capacidad de los CMOS clásicos de 5 femtofaradios, si bien es cierto que actualmente ya se utilizan otros diseños de transistores como los FinFET y los GAA (*Gate All Around*).

Si fuera posible llegar a un nodo de 0,25 nm, lo cual es dudoso porque se estaría ya quizás hablando de computación cuántica, la potencia total disipada por el chip sería:

$$P_T = 16 \cdot 25 \text{ W} = 400 \text{ W}$$

Los valores anteriores reflejan que el fin de la ley de Moore además de estar relacionado con la máxima densidad de integración de transistores en un chip, está relacionada con el diseño térmico del chip y a medida que aumenta la rapidez de funcionamiento del mismo es necesario disminuir tanto la tensión de funcionamiento de la lógica como la capacidad de cada transistor, capacidad que depende de las características físicas del transistor.

CONCLUSIONES

La aproximación preliminar al límite de la tecnología de silicio presentada en un trabajo anterior, determinó que el fin de la ley de Moore se produciría entre los años **2028** y **2038**. El año **2028** suponía una estimación de la consecución del nodo de **1 nm** y el año **2038** se correspondía con haber llevado el escalado a escalas atómicas, esto es, hasta la dimensión del átomo de silicio **0,24 nm**. Realizando una aproximación posterior, basada en la densidad real de transistores medida en MTr/mm², se constata que la realidad parece distar de ser esa y además depende de los diferentes fabricantes. En efecto, a partir de esta nueva aproximación basada en la densidad del número de transistores de silicio que sería posible integrar en 1 mm², se constata que existiría margen de décadas para la ley de Moore y para el progreso de la computación clásica. Ello depende también del fabricante concreto y de si la tecnología permitirá escalar por debajo de 1 nm hasta llegar a la dimensión del átomo de silicio.

Quizás, la razón de que en el sector de diseñadores y fabricantes de tecnología de silicio no se hable todavía de computación cuántica, es que, recientemente, en el año 2022, los nodos reales se aproximaban a **27 nm** (Intel), **58 nm** (TSMC), **61 nm** (Samsung) y **55 nm** (IBM). Por lo tanto, la realidad de los nodos tecnológicos dista mucho de nodos del orden de 2 nm reales y por supuesto mucho más de **1 nm real** (y mucho más todavía de los 0,24 nm del diámetro del átomo de silicio, ya que, además, por debajo de 1 nm, se podría considerar que el ámbito sería ya el de la computación cuántica y no el de la computación clásica, eso sí, ambas basadas en silicio.

Tal y como se expuso en la aproximación preliminar, según Feynman hay una limitación práctica, en cualquier caso, y es que los bits deben ser del tamaño de un átomo y un transistor debe tener 3 o 4 átomos. Con respecto a esta afirmación de Feynman, quizás, habría que señalar para el caso de un transistor de **1 nm** (nodo tecnológico real de 1 nm) que el transistor efectivamente habría de construirse a partir de 4 átomos. Sin embargo, con respecto a que los

bits puedan ser del tamaño del átomo, esto es ya más discutible, pues el ámbito sería ya el de la computación cuántica y no el de la computación clásica, y, por lo tanto, se estaría hablando ya de cúbits, y de esta forma, el átomo de silicio se correspondería con un cúbit y no con un bit.

Entonces, según este razonamiento, podría suponerse que el límite dimensional de la tecnología de silicio se encontraría en el entorno de **1 nm** y este sería el fin de la ley de Moore y de la computación clásica basada en transistores de silicio. En cuanto al límite temporal, realizando esta aproximación mediante la densidad estimada medida en MTr/mm², el límite temporal para alcanzar un 1 nm real, caso de que técnicamente fuese posible y pudiesen conseguirse los diseños necesarios, en cuanto a capacidad de los transistores y diseño térmico, serían **14 años** (Intel), **36 años** (TSMC), **30 años** (Samsung) y **28 años** (IBM). Promediando los valores anteriores, se llegaría a la conclusión de que todavía quedaría algo menos de 3 décadas (27 años) hasta llegar a la densidad real límite de **1 nm** para diseñar y fabricar transistores de silicio. Considerando ahora la propia dimensión del átomo de silicio, quizás se podría llegar a implementar un transistor mediante propiedades cuánticas, como su spin, pero como se ha mencionado anteriormente, el ámbito sería ya el de la computación cuántica y, por lo tanto, el de los cúbits y no el de los bits de la computación clásica y efectivamente es algo todavía mucho más lejano. Además, por lo que respecta a la computación clásica, es necesario tener en cuenta que según la escala atómica se va encontrando más próxima, se deben encontrar nuevas formas en cuanto a la arquitectura de los transistores, los materiales, los procesos y las herramientas. En el pasado, se trataba de una gran contracción óptica y se podría alcanzar el nodo de la siguiente generación afinando el proceso, pero ese truco ya no es tan fácil de realizar [referencia III].

En cualquier caso, es importante recordar que la aproximación presentada en el presente trabajo, basada en la densidad de transistores medida en MTr/mm², está considerando el área del transistor equivalente al área del nodo tecnológico y por lo tanto

que la densidad de transistores por mm² viene dada dividiendo el área total, esto es, 1 mm² entre el área de un nodo que se asimila al área de un transistor. Esta consideración, no deja de ser otra aproximación, puesto que los transistores que integra un chip no tienen toda la misma área, por lo que aproximaciones más exactas al límite dimensional y temporal de la tecnología de silicio serían todavía posibles.

En efecto, dividir directamente la cantidad de transistores de un chip por su superficie, no es demasiado certero, ya que hay algunos transistores que son más grandes que otros y además, hay otras métricas para medir la densidad de transistores: (xTor Density), CPPxFP, CPPxMxP o CPPxMxP x Tracks [referencia IV] Sin embargo, quizás la métrica más interesante sería la de Mark Bohr de Intel [referencia V]:

$$\text{Transistor Count/mm}^2 = 0.6 \times \frac{\text{NAND2 Tr Count}}{\text{NAND2 Cell Area}} + 0.4 \times \frac{\text{Scan Flip Flop Tr Count}}{\text{Scan Flip Flop Cell Area}}$$

Para esta métrica, se usa como referencia la media de dos células estándar disponibles en la mayoría de las librerías, como son una célula muy pequeña NAND2 (puerta NAND de 2 entradas) y una muy grande SFF (Scan Flip-Flop). La primera emplea 4 transistores y tiene una ponderación de 0.6, mientras que la segunda usa un factor de ponderación de 0.4. Y así se obtendría el valor de densidad de un nodo específico. Por supuesto, como los nodos actuales son tan avanzados, la densidad llega a millones de transistores por milímetro cuadrado. Por eso se usa el múltiplo MTr [referencia VI]. Pero utilizar esta métrica para estimar el límite de la tecnología de silicio sería objeto de otro trabajo mucho más complejo que la estimación que aquí se ha presentado.

En definitiva, como se muestra en este trabajo, podrían quedar todavía décadas de margen para el progreso de la computación clásica que debe hacerse en paralelo con los avances en computación cuántica y más en general, con el fomento de las tecnologías cuánticas.

El fin de la ley de Moore dependerá tanto de la densidad de transistores que se pue-

dan integrar, como de las características de los mismos, lo cual necesariamente implicará diseños que supongan una reducción de la capacidad de los mismos, con el fin de que pueda disiparse una potencia aceptable y en definitiva que se respete la Potencia de Diseño Térmico (TPD por sus siglas en inglés) que representa la máxima cantidad de potencia permitida por el sistema de refrigeración del sistema informático para disipar el calor.

SOBRE EL AUTOR

Juan Miguel Ibáñez de Aldecoa Quintana es ingeniero industrial (especialidad electrónica) por la Universidad Pontificia Comillas (ICAI-ICADE). Actualmente ejerce su labor profesional como Ingeniero Industrial del Estado. Cuenta también con un Máster en Dirección de Sistemas y Tecnologías de la Información y las Comunicaciones por la Universidad Politécnica de Madrid.

REFERENCIAS

- (I) <https://www.geeknetic.es/Editorial/1406/La-realidad-sobre-los-nanometros-en-procesos-de-fabricacion-de-CPU-y-GPU.html>
- (II) The logician and the engineer. Paul J. Nahim
- (III) <https://elchapuzasinformatico.com/2022/03/tsmc-espera-que-la-escasez-de-chips-perdure-hasta-el-2024-2025/>
- (IV) <https://architecnologia.es/mtr-mm-que-es-unidad-densidad-chips>
- (V) <https://www.youtube.com/watch?v=ApWOf6J858Y>
- (VI) <https://architecnologia.es/mtr-mm-que-es-unidad-densidad-chips>