

Un importante grupo de expertos creado por la Comisión Europea (N1) estableció unas orientaciones para dar a la industria europea una ventaja competitiva a la hora de desplegar las tecnologías industriales del futuro: las Key Enabling Technologies o en español las “Tecnologías habilitadoras clave”. Sus conclusiones fueron que la industria europea perdería competitividad sino consiguiese aprovechar con éxito estas seis tecnologías: micro y nanoelectrónica, materiales avanzados, biotecnología industrial, fotónica, nanotecnología y sistemas de fabricación avanzados. Este trabajo se centrará únicamente y desde un punto de vista técnico y económico, en micro y nanoelectrónica, como tecnología habilitadora clave, si bien, aparecerán mencionadas, en algún momento, tanto la fotónica como la nanotecnología, al tratarse al igual que la nanoelectrónica, de aplicaciones de la física cuántica.

## MICRO Y NANO ELECTRÓNICA: ASPECTOS BÁSICOS DE UNA DE LAS SEIS TECNOLOGÍAS HABILITADORAS CLAVE DESDE UN PUNTO DE VISTA TÉCNICO Y ECONÓMICO

Junto con la fotónica y la nanotecnología, la nanoelectrónica se encuentra relacionada con las aplicaciones de la física cuántica. Pero no se pretende hacer aquí una exposición de física teórica. En efecto, un tercio del Producto Interior Bruto (PIB) de los países desarrollados procede de tecnologías basadas en la física cuántica (N2). Aplicaciones como el láser, el transistor, el microscopio electrónico, los escáneres de resonancia magnética y muchas más dependen de la física cuántica.

La célebre conferencia de Richard Feynman en el Caltech (1) titulada “*There is plenty of room at the bottom*” (2) (N3) está considerada como el punto de partida para toda una serie de campos de la tecnología que se conocen con el nombre de nanotecnología. El origen de la nanotecnología, se remonta pues a esta célebre conferencia y si bien es cierto que aún existe espacio en el “fondo” y oportunidades para construir dispositivos más pequeños y más baratos, no es menos cierto que el margen cada vez se va estrechando más y la nanoelectrónica (3), por lo que se refiere a la Ley de Moore (N4) y a la electrónica del silicio, jamás dará paso a la picelectrónica (4), como la microelectrónica sí dio el paso a la nanoelectrónica. Sin embargo, aunque la muerte de la Ley de Moore que luego se enunciará, ha sido repetidamente anunciada, ya se encuentra disponible a nivel de I+D, el transistor de 5 nanómetros y además en tecnología de silicio, como ponía de manifiesto una noticia que aparecía recientemente publicada en prensa y que luego se comentará.

Se utilizará el símbolo nm para los nanómetros y el símbolo  $\mu\text{m}$  para las micras. Téngase en cuenta que la dimensión del átomo medio es de unos 100 picómetros, o sea 0,1 nm (N5) y por lo tanto en 1 nm caben aproximadamente unos 10 átomos.

En esta carrera por la miniaturización de los dispositivos, quizás el límite dimensional pudiera estar en otras tecnologías, como Beyond CMOS (N6), tecnologías diferentes de la tecnología de silicio y que se encuentran actual-

mente en fase de investigación a nivel de laboratorio.

De hecho, el transistor de un solo electrón, (*single-electron transistor: SET*) (N7) ha ganado interés con la irrupción de la Internet de las Cosas (IoT) y las aplicaciones enfocadas a la salud, donde un consumo energético ultra-bajo es muy importante. La UE (5) ha dado un impulso con la concesión de un proyecto de cuatro años en el marco del programa H2020 centrado en la exploración de nuevas vías de fabricación de un SET (N8) y las dimensiones que se están mencionando son ya inferiores a los 5 nm.

Pero yendo por partes: el objetivo es hacer un esfuerzo de claridad para intentar explicar qué es la micro y nanoelectrónica y cuáles son sus principales tendencias tecnológicas, para posteriormente hacer un esbozo de cuál es la estrategia europea (N9) para tratar de revertir la situación de retraso de esta tecnología en Europa con respecto a Estados Unidos y a Asia, indicando además cuáles serían las principales aplicaciones de la realización de actividades a lo largo de toda la cadena de valor de sistemas y aplicaciones basadas en micro y nanoelectrónica, ya que al final, las aplicaciones, son las que acaban transformándose en PIB.

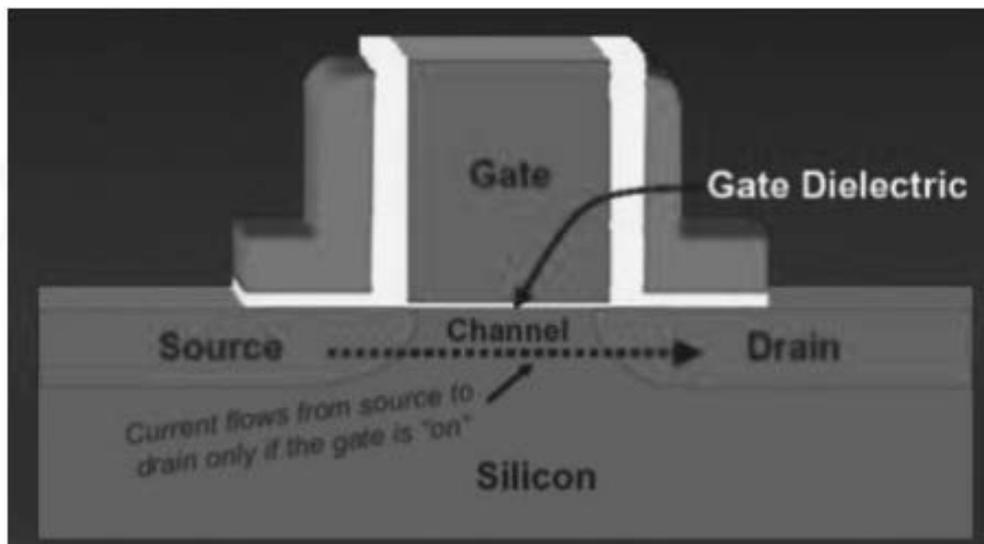
Se utilizará la abreviatura MNE para referirnos a la micro y nanoelectrónica.

La inversión necesaria en MNE para conseguir resultados es alta y el riesgo de fracaso técnico también, especialmente en *More Moore* (MM) (N10), si bien es cierto, que existen importantes oportunidades para Europa y para España en *More than Moore* (MtM) (N11) y que podría haberlas en *Beyond CMOS* (6) ya que ésta es una tendencia tecnológica de futuro.

### ¿QUÉ ES LA MNE?

La MNE se refiere a las tecnologías de miniaturización de los componentes y sistemas electrónicos mediante las

FIGURA 1  
TRANSISTOR. LA LONGITUD DEL CANAL (*CHANNEL*) ES LA QUE DEFINE LA TECNOLOGÍA



Fuente: <http://ixbtlabs.com> (N13)

cuales se diseñan dispositivos electrónicos empacados en grandes densidades en una pastilla única de semiconductor.

Cuando se habla de micras se trata de dimensiones del orden de la millonésima parte de un metro:  $10^{-6}$  m y cuando se habla de nanómetros, de dimensiones tan pequeñas como la millonésima parte de un milímetro:  $10^{-9}$  m.

Comúnmente se acepta que la microelectrónica se refiere a todas aquellas tecnologías de más de 100 nm de tamaño mientras que la nanoelectrónica se usa normalmente para definir las tecnologías de menos de 100 nm de tamaño, ya que para dimensiones inferiores a 100 nm comienzan a regir las leyes de la física cuántica (y se producen efectos cuánticos, como p.ej., el efecto túnel (N12)) en vez de las leyes de la física clásica.

La unidad por la que se cuantifica la tecnología ya sea de micro o de nanoelectrónica, utilizada por un circuito analógico o digital y que define dicha tecnología, es el tamaño de la puerta (*Gate*) del dispositivo elemental mínimo de amplificación/conmutación transistor CMOS y cuyo diagrama simplificado se muestra en la fig. 1.

Así pues, según la longitud del canal se tendrá, p.ej., una tecnología de  $1\ \mu\text{m}$ , o p.ej., una tecnología de 22 nm.

En su funcionamiento elemental, un transistor permite (1) o no permite (0), el paso de una pequeña corriente eléctrica desde la fuente (*Source*) al drenador (*Drain*) al aplicar una tensión a la puerta (*Gate*) habilitando, p.ej., las tecnologías de computación personal que se encuentran actualmente al alcance de muchos (7). Además de como interruptor en los circuitos digitales, el otro uso del transistor es en los circuitos analógicos, como amplificador de señales.

El transistor es el componente básico de la MNE, aunque hay otros, como las memorias digitales, también cada vez más pequeñas y sometidas al escalado hacia la miniaturización que ha venido impuesto por la Ley de Moore, p.ej. NVM (*Non-Volatile Memory*), DRAM (*Dynamic Random-Access Memory*), etc.

La microelectrónica nació 10 años después del descubrimiento del efecto transistor, en 1947. Las patentes de R. Noyce y de J. Kilby marcan el comienzo de esta tecnología que ha conseguido un lema "casi olímpico": "más rápido, más denso y más barato".

El objeto de la MNE es la fabricación de circuitos integrados y las tecnologías que se van desarrollando tratan de minimizar al máximo las dimensiones de los dispositivos integrados y las de sus interconexiones.

El menor tamaño de los transistores y la reducción de la distancia entre ellos disminuye el tiempo de propagación de las señales y permite aumentar la densidad de integración. Todo ello reduce el precio de la función electrónica asociada al chip. Así, se ha asistido a una carrera en la reducción de las dimensiones de los dispositivos integrados en un chip, que han pasado de alguna decena de micras a unos pocos nanómetros.

La cantidad ha aumentado, desde solo algunos dispositivos en los años 60 a los más de 1.000 millones de transistores por chip en la actualidad (N14). Así, el transistor ostenta el mérito de ser el producto manufacturado que mayor número de unidades ha alcanzado por segundo y por habitante en la Tierra. Esta carrera se refleja en la Ley de Moore, enunciada por uno de los fundadores de Intel, Gordon Moore, en la década de los 60. La Ley de Moore expresa que aproximadamente cada dos años se duplica el número de transistores en un chip. (N15)

Las dimensiones mínimas que hoy se manejan en los chips suponen la aparición de efectos cuánticos ligados a la estructura atómica de los materiales semiconductores utilizados. En efecto, efectos cuánticos, dificultades ligadas a la replicación de "nanogeometrías", problemas de idoneidad y adecuación de los materiales utilizados o elevadas corrientes de fuga inherentes a las mínimas dimensiones y con ello importante potencia disipada, vislumbraban un final para esta carrera que no acaba de terminar porque dicho final ha sido anunciado varias veces en los últimos años, aunque es verdad que se ha ligado a las limitaciones de las técnicas de litografía (N16).

Actualmente se está hablando ya de nanolitografía (N17). La nanolitografía o litografía a la escala del nanómetro, se refiere a la fabricación de microestructuras con un tamaño de escala que ronda los nanómetros.

Se encuentra ya cerca la limitación que supone la cercanía a las distancias atómicas, aunque todavía queda un recorrido, de unos pocos años, para llegar a una barrera que se perfila en el entorno de los nanómetros. Esta es la dirección en la que se trabaja en la tendencia tecnológica MM.

El muro que detendrá la carrera se deberá más bien a la densidad de potencia que se alcance en esos niveles de integración, traducida a temperaturas puntuales inaceptables para el funcionamiento de los dispositivos. Para mitigar los efectos de la aproximación a esta barrera, se trabaja en aumentar la funcionalidad de los chips mediante soluciones como los procesadores "multinúcleo" o el apilamiento de chips en tres dimensiones (3D).

La segunda línea de progreso de la MNE, se conoce como MiM. Esta línea de trabajo, incorpora nuevos dispositivos, nuevos materiales y nuevas técnicas y con ellos se pretende buscar una penetración horizontal en un conjunto de aplicaciones más amplio que el de la propia MNE, sin necesidad de depender de las tecnologías más punteras, cercanas a la barrera de progresión comentada.

Hacia dónde progresará la MNE cuando se alcance la barrera de la Ley de Moore, es lo que intenta anticipar la tercera línea de trabajo, conocida como Beyond CMOS, con propuestas y desarrollos de dispositivos nanométricos candidatos a tomar el relevo de las estructuras CMOS, usadas por la mayoría de los circuitos integrados de hoy. Se detallan a continuación, estas tendencias tecnológicas.

**PRINCIPALES TENDENCIAS TECNOLÓGICAS EN MNE**

Las principales tendencias tecnológicas son las siguientes:

**More Moore**

La miniaturización de los circuitos integrados sigue la Ley de Moore y el número de transistores en un chip se duplica aproximadamente cada dos años. Pero la Ley de Moore tiene un límite: la dimensión física del átomo.

**FIGURA 2**  
**EVOLUCIÓN TEMPORAL DE LA MNE**

1971	10 $\mu\text{m}$	MICROELECTRÓNICA
1975	3 $\mu\text{m}$	
1982	1.5 $\mu\text{m}$	
1985	1 $\mu\text{m}$	
1989	800 nm	
1994	600 nm	
1995	350 nm	
1997	250 nm	
1999	180 nm	
2002	130 nm	
2004	90 nm	NANOELECTRÓNICA
2006	65 nm	
2008	45 nm	
2010	32 nm	
2012	22 nm	
2014	14 nm	
2016	10 nm	
2018	7 nm	
2020	5 nm	

Fuente: Elaboración propia a partir de la información obtenida en "Electronic Design" (N18)

La tendencia tecnológica MM se define internacionalmente como un intento de desarrollar tecnologías avanzadas CMOS reduciendo su coste. Gran parte del total del mercado de componentes de semiconductores está directamente relacionado con la miniaturización avanzada CMOS, comprendiendo tres grupos de tamaño similar: microprocesadores, memorias de masa y lógica digital.

En la tabla de la fig.2 se expone la evolución temporal de la MNE.

Como ya se ha mencionado, por debajo de los 100 nm se hacen evidentes los fenómenos cuánticos que determinan que los modelos para explicar el comportamiento de los dispositivos electrónicos tengan que basarse en las leyes de la física cuántica en lugar de los modelos de la física clásica utilizados en la microelectrónica.

Se explicará brevemente: por encima, de los 100 nm se puede considerar que la ley que determina el movimiento de las partículas, se encuentra todavía dentro del ámbito de la física clásica, esto es, la segunda Ley de Newton, las partículas se aceleran conforme a la ecuación: fuerza igual a masa por aceleración.

Para dimensiones más pequeñas que 100 nm, rigen las leyes de la física cuántica: el principio de indeterminación de Heisenberg (N19) y la ecuación de Schrödinger (N20).

Respecto a la ecuación de Schrödinger, señalar que es la equivalente en física cuántica, a la segunda Ley de Newton en física clásica. Esta ecuación no es determinista, como lo es la segunda Ley de Newton, ya que su solución, nos da únicamente la probabilidad de que una partícula se encuentre en una posición concreta en un instante de tiempo determinado, en términos del cuadrado de la función de onda  $\psi^2$ .

Ni la segunda Ley de Newton ni la ecuación de Schrödinger se pueden obtener por deducción. Su validez descansa en su concordancia con los datos experimentales.

Frente a la física clásica determinista, la física cuántica nos introduce en un mundo donde pueden producirse fenómenos muy complejos como el ya citado efecto túnel, el entrelazamiento cuántico (N21) y otros muchos que no se van a mencionar.

Volviendo a los datos de la tabla de la fig.2, obtenidos a partir de información obtenida en *Electronic Design* (8), hay que mencionar que se asemejan al contenido de la noticia a la que se hacía referencia en la introducción: "El increíble caso del chip menguante" en el que se indica que la nueva creación de IBM ha devuelto la Ley de Moore a la vida. Se incluye la referencia (N22) a esta información publicada por la periodista y experta digital, Rosalía Lloret, ya que explica de forma magistral lo que es MM.

Actualmente, se han conseguido fabricar en masa nodos con tecnología de 12 nm y el sector está de acuerdo que el tamaño mínimo que puede conseguirse para la puerta del transistor se encuentra alrededor de unos 5 nm (unos 50 átomos). Como aparece en la información anteriormente referida, IBM ha conseguido 5 nm a nivel de I+D y la producción en masa comenzará en 2020, como reflejaba también la tabla de la fig. 2.

A nanoescala la pureza es clave porque unos simples átomos extraviados del material equivocado marcan la diferencia entre un circuito que funciona y otro que no. Comprobar que los materiales electrónicos cumplen con los niveles de limpieza exigidos es una de las tareas de las salas blancas (N23) en las que se trata de detectar la contaminación a niveles de entre 10 y 100 partes por billón, un nivel en el que, si le enseñases la muestra a alguien de la industria farmacéutica, diría "no se puede ver absolutamente nada", está perfectamente limpio.

Sin embargo, los beneficios de la miniaturización no son ya tan evidentes. En teoría, la tecnología de 7 nm ofrece mejor rendimiento que la tecnología de 10 nm, pero la tecnología de 10 nm se espera antes que la de 7 nm. Aunque estos beneficios no son tan evidentes:

- Samsung está ya trabajando en 10 nm y a nivel de I+D se encuentra en 7 nm.
- TSMC en 2017 tenía previsto producir en 10 nm con 7 nm previstos para 2018.
- Intel tenía previsto producir en 10 nm a mediados de 2017 con 7 nm previstos para 2018 o 2019.

- GlobalFoundries trabajará en 7 nm.

De acuerdo con *Gartner*, diseñar un SoC (N24) (*System on a Chip*) de 7 nm cuesta 271 millones de dólares, aproximadamente nueve veces el coste de diseñar un dispositivo de 28 nm. No hay muchos que puedan permitirse diseñar chips a 10 nm y 7 nm a menos que se espere un alto volumen de producción y se pueda ver el ROI (N25) de forma absolutamente clara, también según *Gartner*.

### More than Moore

Se trata de proporcionar valor añadido a los dispositivos incorporando funcionalidades que no escalan necesariamente mediante la Ley de Moore. Entre esos dispositivos destacan, ya en fase de madurez, los micro y los nanosistemas (MEMS (9) (N26) y NEMS (10) (N27)).

Estos nanosistemas, incorporan capacidades sensoras y actuadoras para facilitar una interacción amplia con propiedades y medios no electrónicos: fluidos, presión, temperatura, óptica y concentraciones químicas y bioquímicas, entre otros.

Este conjunto de tecnologías permite incorporar también funciones no digitales, esto es, componentes analógicos. Los dispositivos MIM proporcionan conversión no digital, así como información no electrónica: mecánica, térmica, acústica, química, óptica y funciones biomédicas.

Ante la competencia de Asia y EEUU, que predomina claramente en el mercado MM, el mercado MIM es una oportunidad para Europa. Esto dio origen a MIM que es dependiente de la Ley de Moore y permite migrar funcionalidades no digitales del nivel de placa base al nivel de SiP (N28) (*System in Package*) o a nivel de SoC.

Las tecnologías MIM cubren una amplia gama de campos:

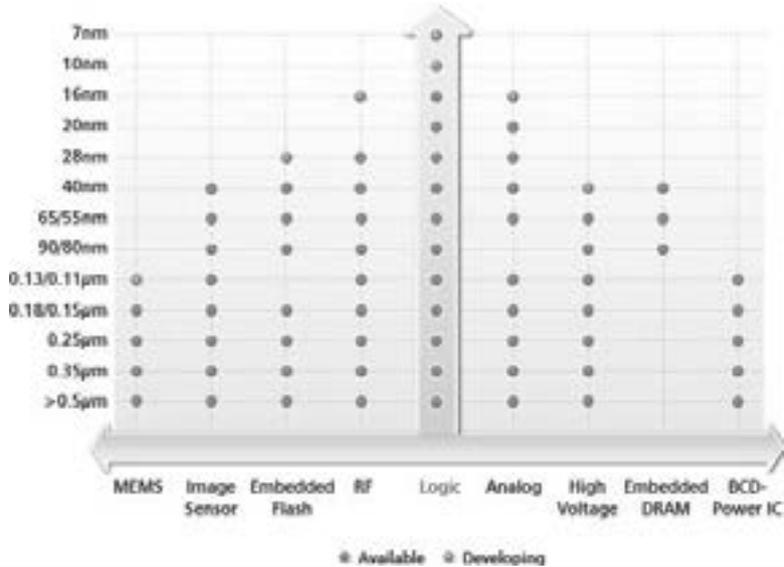
- Las aplicaciones de microsistemas MEMS incluyen sensores, actuadores e impresoras de chorro de tinta.
- Las aplicaciones CMOS en RF (11) incluyen Bluetooth, GPS y Wi-Fi.
- Los sensores de imagen CMOS que se encuentran en la mayoría de las cámaras digitales.
- Los controladores de alta tensión que se utilizan para alimentar las luces LED (12), etc.

En la fig. 3 se detallan las escalas a nivel de MNE en el que se encuentran las tecnologías MIM.

### Beyond CMOS

La tendencia en electrónica es la miniaturización de los dispositivos para mejorar las prestaciones: aumento de velocidad, densidad y eficiencia.

FIGURA 3  
MORE-THAN-MOORE GOES HIGH TECH (13)



Fuente: M. Passlack, TSMC, at CS International

Y así, las tecnologías de silicio, están alcanzando el mínimo tamaño que se puede conseguir garantizando su correcto funcionamiento.

A la nanoelectrónica basada en el silicio le quedan probablemente pocos años de vida. Mientras tanto, los laboratorios de investigación están buscando "nanobjetos" que se conviertan en candidatos fiables para reemplazar al silicio.

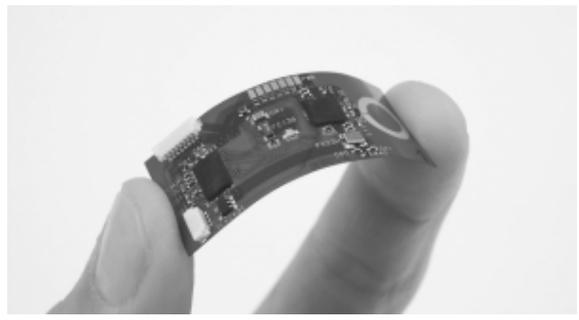
Entonces entran en juego las tecnologías Beyond CMOS. Son las tecnologías futuras de lógica digital más allá de los límites de la escala CMOS que limitan la densidad y velocidad de los dispositivos debido a los efectos del calentamiento.

Transistores de un solo electrón (SET), dispositivos basados en nanohilos, nanotubos de carbono o grafeno, hilos y puntos cuánticos, electrónica molecular o dispositivos basados en el espín del electrón, son algunas de las soluciones en desarrollo. Todas deben proponer tecnologías con iguales o mejores figuras de mérito que las celdas CMOS de silicio: manufacturabilidad en masa, bajo precio y que se basen en un principio de funcionamiento que no se sustente en el movimiento de carga eléctrica. Caso contrario, se requeriría corriente y entonces, disipación de potencia. Todos tendrán en común su tamaño nanométrico y su sorprendente forma de transportar electrones.

Aunque hay un gran número de candidatos que pueden ser competidores del silicio, se van a describir muy someramente las líneas de investigación más importantes en Beyond CMOS.

La posibilidad de elaborar circuitos basados en nanotubos de carbono y grafeno son grandes apuestas para dar el salto desde la tecnología del silicio hasta la del carbono. Los nanotubos de carbono son estructuras cilíndricas, cuyo diámetro es del tamaño del nanómetro y desempeñan el mismo papel que el silicio en los circuitos electrónicos, pero a escala molecular donde el silicio y otros semiconductores dejan de funcionar. Un nanotubo de carbono es en realidad una única molécula que permite el desarrollo de un dispositivo electrónico. (N29) En electrónica se han detectado numerosas aplicaciones destacando la emisión de campo (N30) y en especial las pantallas planas.

FIGURA 4  
ELECTRÓNICA FLEXIBLE



Fuente: Negocio Tecnológico (N32)

El grafeno (N31) ha entrado en la electrónica gracias a sus impresionantes propiedades, entre las que destacan una gran movilidad de los electrones y una bajísima resistividad. El grafeno abre la vía a la electrónica flexible (véase la fig. 4) que permitirá la fabricación de procesadores, pantallas planas y células solares, casi transparentes, que serán capaces de doblarse o enrollarse, adaptándose mejor a diferentes superficies.

Otras nanoestructuras, los nanohilos o nanocables metálicos, servirán para establecer conexiones entre los

**FIGURA 5**  
**A EUROPEAN INDUSTRIAL STRATEGIC ROADMAP**  
**FOR MICRO- AND NANO-ELECTRONIC**  
**COMPONENTS AND SYSTEMS**



Fuente: A report to Vice President Kroes by the Electronic Leaders Group (N33)

elementos que se encuentran en un dispositivo. Desde hace tiempo se sabe formar y manipular cadenas de átomos ordenados en fila india. Éstos son los nanocables más pequeños del mundo. Son excelentes conductores de electricidad y tienen otras interesantes propiedades: si el material del que está hecho el nanocable es magnético presenta efectos de magnetorresistencia gigante, por lo que podría usarse en la fabricación de sensores magnéticos.

Pueden utilizarse también como nanoantenas que se integrarían en los procesadores, permitiendo comunicaciones inalámbricas entre diferentes dispositivos o entre diferentes componentes de un mismo procesador proporcionando más funcionalidad a los equipos electrónicos.

Los puntos cuánticos son estructuras cristalinas formadas por materiales semiconductores y que presentan dimensiones nanométricas y formas diversas. Mediante el control de su composición, forma y tamaño se puede predeterminar su estructura electrónica y el espectro de luz que emiten. El control de luz que pueden emitir o absorber hace de los puntos cuánticos sistemas clave en la fabricación de diodos láser (14), células fotovoltaicas, marcadores ópticos, etc.

Otro aspecto interesante está relacionado con los cambios en su estructura electrónica cuando un electrón es atrapado en su interior. Cuando esto ocurre, la incorporación de un segundo electrón se ve impedida por las enormes fuerzas de repulsión causadas por el confinamiento. Este hecho se aprovecha para construir el transistor de único electrón, ya mencionado en la introducción, en el que la corriente sólo puede circular de electrón a electrón, ya que un nuevo electrón no puede entrar al transistor hasta que el anterior no salga, obteniéndose un dispositivo por el que la corriente eléctrica circula de una manera cuantizada: es imposible encontrar transistores que consuman menos.

Desde el descubrimiento de los polímeros conductores, se han desarrollado una gran cantidad de dispositivos inspirados en estos materiales debido a su carácter multifuncional por ser conductores, flexibles y transparentes. Así, se tienen los diodos orgánicos emisores de luz (OLED, *Organic Light-Emitting Diode*), los transistores orgánicos de efecto campo (OFET, *Organic Field-Effect Transistor*) o los paneles fotovoltaicos orgánicos.

En un futuro se construirán nanotransistores moleculares a partir de diferentes tipos de moléculas electroactivas que tengan bien carácter metálico o bien rectificador, dejando pasar la corriente en un sentido, pero no en el contrario. En otras ocasiones, las moléculas reaccionarán frente a la luz o a campos magnéticos por lo que podrán ser usados como transductores electro-ópticos o como memorias para almacenamiento de datos.

Considerando la fabricación masiva de dispositivos moleculares, podrían utilizarse los métodos de autoensamblado molecular. Una desventaja de este tipo de materiales es su relativa fragilidad y la pérdida de sus propiedades con el paso del tiempo. Cuando se resuelva, las moléculas orgánicas podrán ser serias candidatas para sustituir al silicio tanto en electrónica como en generación fotovoltaica.

Para finalizar, se denomina espintrónica (15) a la tecnología que permite aprovechar el espín de los electrones además de su carga para aumentar las posibilidades de la electrónica.

Debido a que el electrón es una partícula cargada, el movimiento de rotación sobre su propio eje o espín, debe generar un momento magnético y esta propiedad es la que le permite al electrón interactuar con campos magnéticos. Existen pequeños avances, pero queda mucho para encontrar los materiales más adecuados, que, junto con las técnicas de fabricación adecuadas, permita producir en masa circuitos espintrónicos. Un ejemplo del uso del espín electrónico es el fenómeno de la magnetorresistencia gigante que ha revolucionado el almacenamiento de datos.

## LA CADENA DE VALOR DE SISTEMAS Y APLICACIONES BASADOS EN MNE

Si se considera la cadena de valor de sistemas y aplicaciones basadas en MNE, se estaría hablando no solamente del núcleo de dicha cadena, donde se encontraría la MNE y por lo tanto, los chips y semiconductores, que cada vez se fabrican en dimensiones más pequeñas, sino de toda la cadena de valor: tecnologías de diseño, arquitecturas, equipamiento y materiales, todos ellos necesarios para desarrollar y fabricar los componentes, los subsistemas y los sistemas hasta llegar así a las aplicaciones.

Los chips y semiconductores se encuentran en el núcleo de la cadena de valor, pero se hará referencia a todas las partes que constituyen dicha cadena, representada en la fig. 5, hasta llegar a las aplicaciones.

## TECNOLOGÍAS DE DISEÑO

Es necesario resaltar la importancia que tienen las herramientas EDA (*Electronic Design Automation*) para automatizar el diseño electrónico.

Son herramientas de *software* enfocadas en el proyecto, concepción y producción de los diferentes sistemas electrónicos, abarcando desde el proyecto de circuitos integrados hasta el desarrollo de las PCB (16) o placas de circuito impreso. Las tecnologías de diseño (*Design Tools*) posibilitan el diseño de los circuitos a dos niveles.

En primer lugar, la parte física donde se diseña la estructura real de los componentes electrónicos que constituyen el circuito, sus dimensiones, materiales, etc.

Por encima, se pueden encontrar métodos de diseño cada vez de más alto nivel hasta llegar a los llamados lenguajes de descripción de *hardware* (N34).

Estos lenguajes representan un modo de "programar" *hardware*, permitiendo introducir descripciones de los distintos bloques funcionales de un sistema para su simulación, verificación e incluso para la generación automática del circuito físico con la herramienta de síntesis apropiada. Los lenguajes de descripción de *hardware* más conocidos son VHDL (N35) y Verilog (N36).

Otros lenguajes como RTL (N37) (*Register Transfer Language* o lenguaje de transferencia de registros) de descripción de *hardware*, para diseño y verificación de circuitos electrónicos son p.ej. AHPL/A *hardware Programming Language* (N38), DDL (*Data Definition Language*) (N39) e ISP (N40) (*In-system programming*). RTL, es un tipo de representación intermedia muy cercana al lenguaje ensamblador ya que es usado en un compilador.

Se mencionará también SystemC que aunque se le describe frecuentemente como un lenguaje de descripción de *hardware*, es más adecuado describirlo como un lenguaje de descripción de sistemas, puesto que es realmente útil cuando se usa para modelar sistemas a nivel de comportamiento. (N41) Además SystemC es una metodología de lenguaje de dominio público, y evita el uso de herramientas con costes de adquisición y mantenimiento altos.

Un aspecto importante lo representa la especificación y verificación de restricciones temporales desde la especificación del sistema a lo largo del proceso de diseño. En esta metodología cobra importancia la especificación del sistema, probada sobre un demostrador industrial y la generación automática del *software* de aplicación desde la especificación en SystemC incluyendo la planificación de tareas concurrentes sobre el RTOS (N42) (*Real Time Operating System* o Sistema Operativo en Tiempo Real) elegido.

Las librerías SystemC de análisis de prestaciones y generación automática de *software* configuran una metodología de diseño de sistemas embebidos de código único, es decir, basada en la utilización del mismo código SystemC para la especificación del sistema, el

análisis de prestaciones y, tras el diseño arquitectural, la generación automática del *software*.

En la actualidad es necesario diseñar sistemas muy complejos en un tiempo muy corto, pues el "time-to-market" es cada vez menor. Entonces, la estrategia comúnmente adoptada para lograr este objetivo, consiste en utilizar, durante el proceso de diseño, subsistemas previamente diseñados sobre plataformas concretas. Estos subsistemas, denominados bloques de Propiedad Intelectual (IPs) (N43), normalmente, los diseña una compañía diferente a la que los usa y su venta y distribución constituye un mercado importante.

Con respecto al diseño de sistemas embebidos *hardware/software* el aumento de complejidad de los circuitos integrados, ASICs (*Application-Specific Integrated Circuits*) (N44) y FPGAs (N45) (*Field Programmable Gate Array*) que ahora incluyen *hardware* de aplicación específica y uno o varios procesadores y/o DSPs (N46) (*digital signal processor*) obliga al desarrollo de metodologías de diseño de sistemas complejos *hardware/software*.

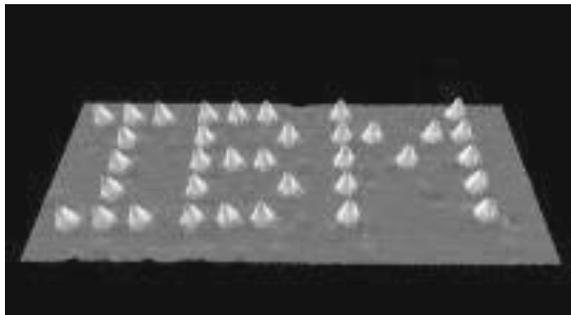
La metodología de diseño de un SoC idealmente incorporaría todo elemento que el sistema necesite y que pueda ser implementado en silicio, no solo circuitos electrónicos digitales sino también analógicos y hasta algunos tipos de sensores, pero se puede limitar a una máquina de estados que ejecute funciones operativas básicas, periféricos y memoria. Ya existen los PSoC (*Programmable System on Chip*) que abren aún más el espectro de ventajas y desventajas.

El programa fuente se compila para obtener un ejecutable -que mediante procesos físico-químicos- se plasma en semiconductores de silicio. De esta forma, se puede realizar la parametrización de descripciones VHDL y estudiar si existen mecanismos que aseguren la propiedad intelectual de los diferentes bloques IP generables (N47).

La complejidad del *hardware* ha crecido en los últimos años y se espera que lo siga haciendo hasta el punto que es posible diseñar y fabricar computadores digitales completos (CPU, Memoria y E/S) o colocar múltiples procesadores en un único chip de silicio. Aparecen nuevos paradigmas a resolver como el co-diseño *hardware/software* o el diseño a nivel de sistema para los que se proponen diversas soluciones tecnológicas (ASICs, CPLDs: *Complex Programmable Logic Device* (N48), FPGAs y SoC, entre otras) la mayoría de las cuales emergen por condiciones de mercado; también se proponen metodologías de diseño con distintos niveles de abstracción y flexibilidad que se basan en las nuevas soluciones tecnológicas.

El diseñador de SoC combinará bloques pre-diseñados y pre-verificados en un chip para implementar funciones complejas, poseyendo solo un limitado conocimiento de la estructura interna de esos bloques. Como consecuencia, la mayor parte de la propiedad intelectual (IP) del diseñador del sistema residirá en el chip sea en la forma de lógica especial en *hardware* y/o como programa a ser ejecutado por la máquina de estados.

**FIGURA 6**  
MANIPULACIÓN A ESCALA ATÓMICA CON EL STM



Fuente: Fundación Telefónica (N51)

Asimismo, la máquina de estados en sí misma será un bloque IP y podrá contener un microprocesador, un DSP o un procesador especialmente diseñado. Debería entonces, ampliarse el concepto de IP -original de la industria del *software*- y asociarse con la propiedad del conocimiento, experiencia, innovación y recursos que se apliquen en la creación de un núcleo (*core*) de *hardware* específico y/o de programa *software/firmware* requerido para la realización de alguna función del sistema.

Como si todo cambio ocurrido fuera poco, la tecnología electrónica produce dispositivos de lógica programable con capacidad suficiente para dar soporte físico a SoC, agregando la facilidad de la programación en campo y disminuyendo los tiempos de diseño y puesta en mercado.

## EQUIPAMIENTO

La realización de chips conlleva muchas etapas muy complejas que deben realizarse con la mayor precisión. Una planta de fabricación típica necesita varios cientos de diferentes tipos de equipos de gran coste.

Se puede clasificar la instrumentación necesaria en MNE en cuatro tipos: técnicas de fabricación, técnicas de caracterización, técnicas de manipulación y microscopías (N49).

### Técnicas de fabricación

Las técnicas de fabricación pueden clasificarse en descendentes y ascendentes.

Entre las descendentes destacan las llamadas técnicas de fabricación litográficas. En esta tecnología se parte de un material (en el caso de la fabricación de componentes electrónicos puede ser un disco u oblea) y se utilizan cinceles del tamaño adecuado para tallar o dibujar sobre su superficie los motivos deseados. En MNE, una oblea (N50) es una fina plancha de material semiconductor, como p.ej. cristal de silicio, sobre la que se construyen microcircuitos mediante técnicas de dopado: difusión o implantación de iones, grabado químico y deposición de varios materiales. Así, se fabrican los cir-

cuitos impresos y los componentes electrónicos que son el corazón de todos los ordenadores. Los tamaños de las estructuras litografiadas para la fabricación de chips son de unos 20 nm y se realizan mediante esta tecnología.

La ventaja de estas técnicas es que pueden ser integradas fácilmente dentro de las cadenas industriales de producción existentes. Su desventaja es que necesitan una instrumentación muy precisa y compleja, integrada dentro de equipos de vacío altamente especializados.

Las técnicas ascendentes utilizan metodologías químicas que son adaptadas para cada tipo de material que se quiere obtener, siendo por ello difícil referirse a ellas de manera general. Entre estas técnicas se encuentran aquellas que utilizan grandes equipos como las PVD (*Physical Vapor Deposition*), MBE (*Molecular Beam Epitaxy*) o CVD (*Chemical Vapor Deposition*).

### Técnicas de microscopía

La invención del microscopio de efecto túnel o STM (*Scanning tunneling microscope*) corroboró que los átomos eran las partículas más pequeñas al alcance. Con el nombre genérico de SPM (*Scanning Probe Microscope*), se conoce no solo al STM, sino a toda una serie de técnicas similares entre las que se puede destacar el AFM (*Atomic Force Microscope*). Todas se basan en una punta afiladísima que se pasea por la superficie de un material para "sentir" su morfología.

### Técnicas de caracterización

El estudio experimental de las superficies a nivel atómico se fundamenta en técnicas basadas en el uso de electrones o iones, ya que, al no penetrar mucho en los materiales, ofrecen una información superficial. Estas técnicas, se pueden clasificar según el tipo de sonda que utilicen. Así se pueden dividir en las que envían fotones, electrones o iones. Durante los últimos años se han ido perfeccionando, de manera que pueden llegar a detectar del orden de una milésima de monocapa: aproximadamente  $10^{12}$  átomos por  $\text{cm}^2$ .

### Manipulación en la nanoescala

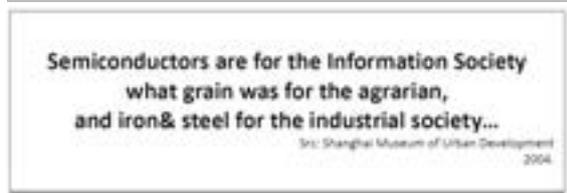
Como había predicho Feynman 30 años antes, diversos experimentos abrieron la puerta a la manipulación atómica y a pensar que era posible cambiar de posición a un solo átomo, p.ej., para escribir con ellos, tal y como puede verse en la fig.6.

Numerosos grupos de investigación han aprendido los mecanismos para la manipulación atómica y escribir con átomos el logotipo de una entidad ha llegado a ser rutinario, cuando se trabaja con un STM a bajas temperaturas.

### MATERIALES

El material típico es el silicio (Si) aunque la UE está realizando importantes inversiones, unos 1.000 M€ en diez

**FIGURA 7**  
**ILUSTRACIÓN DE LA IMPORTANCIA DE LOS CHIPS Y SEMICONDUCTORES.**



Fuente: Vision, Mission and Strategy. R&D in European Micro and Nanoelectronics. AENEAS-CATRENE

años, para sustituir el silicio por grafeno, quizás el material más delgado, ligero y fuerte actualmente.

Otros materiales como el nitruro de Galio (GaN) constituyen una aleación binaria de semiconductores del III/V (N52) con una banda prohibida directa que se ha venido usando en diodos emisores de luz (LEDs) desde los años 90. El GaN posee propiedades especiales para aplicaciones en optoelectrónica, dispositivos de alta potencia y dispositivos de alta frecuencia. Una de las líneas más prometedoras en el trabajo con GaN lo representan los amplificadores de potencia para aplicaciones de ondas milimétricas.

Las soluciones aportadas con MMICs (N53) (*Monolithic Microwave Integrated Circuits*) y dispositivos de GaN capaces de ofrecer altas densidades de potencia, con ganancias adecuadas, permiten la proliferación de soluciones de estado sólido a frecuencias de microondas. Los MMICs basados en GaN HEMTs (*High Electron Mobility Transistors*) se están convirtiendo en una tecnología prometedora en el diseño de amplificadores de bajo ruido.

Los amplificadores de bajo ruido LNAs (N54) (*Low Noise Amplifiers*) basados en GaN son capaces de soportar, sin ningún daño, valores de potencia de entrada muy elevados sin necesidad de circuitos limitadores o de protección que podrían repercutir en el ruido total del sistema. Los GaN HEMTs presentan una alta linealidad inherente, lo que permite diseñar LNAs muy lineales. Se comercializan LNAs en GaN, que cubren frecuencias de 2 a 12 GHz. (N55)

Las tecnologías MMIC permiten la fabricación de circuitos de radiofrecuencia donde todos los componentes del sistema están integrados en una sola placa. Los semiconductores (GaAs (17), InP (18) o SiGe (19)) con los que se fabrican los MMIC definen el tamaño del dispositivo, precio y eficiencia.

Las ventajas de esta tecnología son que combina características activas como pasivas en sus componentes electrónicos en un solo sustrato, además de ofrecer un gran ancho de banda. Su facilidad de fabricación masiva los hace interesantes en aquellas aplicaciones donde sea importante la fiabilidad. La tecnología MMIC ofrece además ventajas en el caso de agrupaciones de muchos receptores, téc-

nica usada de forma habitual en radioastronomía para conseguir buena sensibilidad del receptor.

## CHIPS

La fig. 7 ilustra la importancia de los chips y semiconductores.

Las tecnologías de diseño, los materiales y el equipamiento hacen realidad la fabricación de chips. El chip se asocia al cerebro del sistema y está hecho de dispositivos como transistores y diodos; dispositivos pasivos como capacidades y resistencias y sus interconexiones.

El modelo que se ha seguido en aquellos países que no disponen de *foundries* (N56) o plantas de fabricación de semiconductores, es el modelo *fabless*, es decir, realizar el diseño y subcontratar la fabricación a una *foundry*. En efecto, una planta de fabricación de semiconductores es una fábrica donde se producen circuitos integrados. Una empresa que opera una o varias plantas de fabricación con el objetivo de fabricar los diseños de otras empresas, empresas *fabless*, se conoce en el argot como fundición (*foundry*). El plan de industrialización de un *fabless-silicon-vendor* es aparentemente sencillo: diseñar unos circuitos integrados cuya fabricación será subcontratada a una fundición de silicio y serán vendidos a terceros que licencian la tecnología a fabricantes de electrónica de consumo.

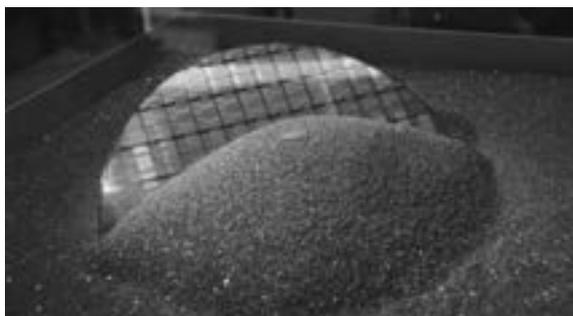
Las plantas de fabricación requieren muchos equipos costosos para funcionar. Típicamente varios centenares de máquinas. (N57) Se estima que el coste de construir una planta nueva está alrededor de 1.000 millones de dólares, y son frecuentes las inversiones de 3.000-4.000 millones de dólares o más.

La parte central es la sala blanca (N58), donde el ambiente está controlado para eliminar todo el polvo, ya que una sola partícula, puede arruinar la producción de un lote completo y además tiene que estar protegida contra las vibraciones y mantenerse dentro de unos márgenes estrechos de temperatura y humedad, lo cual es crítico para minimizar la electricidad estática. Una sala blanca contiene los *steppers* (N59) para la fotolitografía (N60) y máquinas para el grabado, la limpieza, el dopado y el corte. Todas estas máquinas son extremadamente precisas y caras.

La fotolitografía es uno de los procesos empleados para la fabricación de chips y semiconductores. El precio del equipamiento más común para procesar obleas de 300 mm va desde los 700.000 hasta los 4 millones de dólares cada uno y algunas máquinas, como los *steppers*, alcanzan los 50 millones de dólares cada uno.

Hace unos años, varias compañías de alto nivel, respaldaban la idea de pasar de obleas de silicio de 300 mm a 450 mm. Moverse a obleas más grandes era una forma para que las fundiciones y fábricas redujeran los precios y mejoraran los rendimientos. Las obleas de 450 mm tenían la intención de ampliar aún más el ahorro en el coste de las obleas de 300 mm, pero los desarrollos llevados a cabo se han visto, hasta el momento, con-

**FIGURA 8**  
**OBLEAS PARA FABRICACIÓN DE CHIPS**



Fuente: extremetech.com (N62)

denados al fracaso (N61). En la fig. 8 se representan las obleas utilizadas para fabricación de chips.

La tecnología de circuitos integrados o chips está basada principalmente en la miniaturización de los circuitos, en el incremento de prestaciones y en la fuerte reducción de costes.

La tecnología CMOS es considerada como la tecnología más madura, en la que se incorporan los circuitos más avanzados. Una característica diferencial de la tecnología CMOS, es el hecho de que al aumentar la miniaturización de los circuitos no sólo es posible integrar circuitos más complejos, sino que esta miniaturización lleva consigo la reducción de las capacidades parásitas, al mismo tiempo que una mejorada capacidad de manejar corriente. Estos son parámetros influyentes en la constante de tiempo de respuesta a transitorios. En otras palabras, un mismo circuito electrónico desarrollado sobre una tecnología más miniaturizada incorpora directamente un aumento de la velocidad de respuesta del mismo.

El consumo y la eficiencia energética, constituye uno de los principales criterios diferenciadores de los circuitos integrados actuales: los chips para ser competitivos necesitan simultáneamente bajo consumo y elevadas prestaciones. Existe una preocupación creciente sobre los límites de cómputo que se podrán alcanzar con las futuras tecnologías nanométricas sin que el consumo de los chips lo impida. En las salas blancas, se fabrican entre otros:

ASICs: circuitos integrados diseñados para una aplicación específica. Son chips personalizados que contienen funcionalidades tanto analógicas como digitales.

MCMs (N63): la solución que ofrecen los *Multi-Chip Modules* permite fabricar sistemas de dos o más chips montados sobre un sustrato de silicio, ofreciendo considerables ventajas en términos de funcionalidad, reducción de volumen e integración conjunta de dispositivos y circuitos convencionales de distintas tecnologías.

Microsistemas: son sistemas inteligentes miniaturizados que engloban sensores, procesamiento de la señal y funcionalidades de actuación.

Los sensores o actuadores interactúan con su entorno mediante una combinación de dos o más de las siguientes formas de energía: eléctrica, mecánica, óptica, química, biológica o magnética. Los microsistemas pueden estar integrados sobre un único chip o sobre un híbrido multi-chip.

Dispositivos de potencia: son dispositivos electrónicos para la regulación y el control en aplicaciones de muy alta corriente y/o tensión. Sus procesos de fabricación son compatibles en mayor o menor grado con las tecnologías CMOS existentes, lo que posibilita el diseño de circuitos integrados de potencia inteligentes o *Smart Power*.

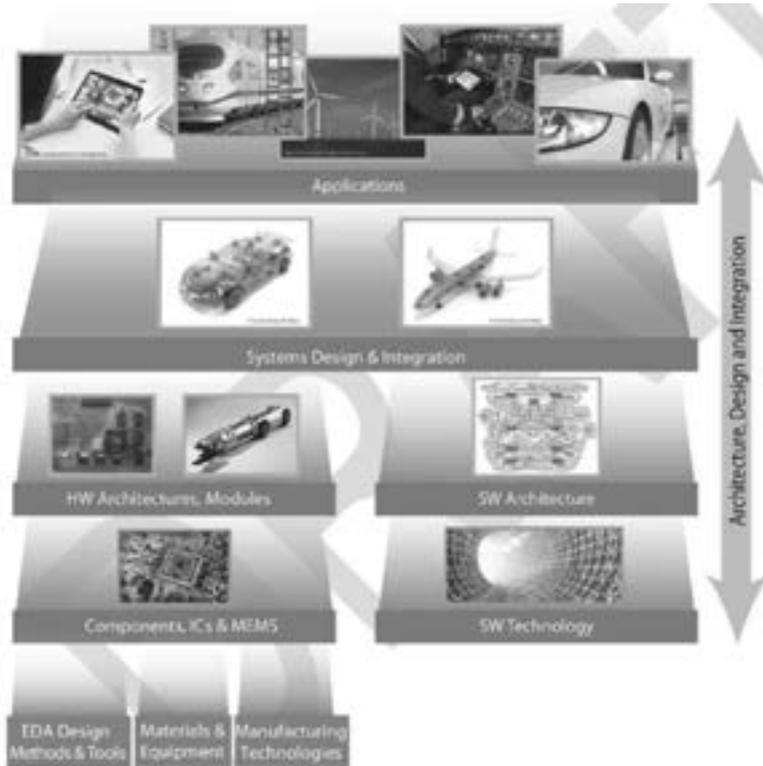
Nanotecnología: los dispositivos nanométricos presentan mejores propiedades que sus equivalentes micrométricos debido a las reducidas dimensiones. No sólo se benefician de ellos los transistores MOS (20), sino que también mejoran sus propiedades los dispositivos nanoelectromecánicos (NEMS). Estructuras mecánicas nanométricas se aplican p.ej. para el desarrollo de sensores extremadamente sensibles. La combinación de dispositivos NEMS con circuitos CMOS permitirá la explotación comercial de estas propiedades.

MMIC: hay una buena oferta comercial de amplificadores MMIC de bajo ruido de banda ancha, para las bandas de microondas hasta casi los 40 GHz. Las especificaciones en temperatura que proporcionan los fabricantes típicamente cubren sólo la temperatura ambiente o temperaturas más altas. Sin embargo, las características de ganancia y de ruido, mejoran al enfriar el amplificador MMIC a temperaturas criogénicas.

Las tecnologías de componentes discretos constan de un solo componente eléctrico activo (transistor) en vez de un circuito integrado. La principal ventaja de los diseños basados en transistores discretos en lugar de MMICs es que el uso de transistores discretos en el diseño de amplificadores les dota de una baja figura de ruido debido a que las pérdidas en los componentes pasivos y en las interconexiones son menores, dada su mayor calidad. Además, su coste es menor en producciones pequeñas y permite realizar ajustes tras la fabricación.

Uno de los principales problemas de las tecnologías nanométricas para la fabricación de circuitos integrados es la variabilidad tecnológica y operativa que tiene efectos directos en las prestaciones (velocidad-consumo) y fiabilidad de los circuitos resultantes. La principal razón es que los diseños tienen que asumir que se va a producir el peor caso, el cual está muy lejos del punto de trabajo y nivel de prestaciones donde una mayoría de chips se moverían la mayor parte del tiempo. Ese peor caso fuerza unos ciclos de reloj grandes con una importante tasa de inactividad del circuito debido a esos tiempos excesivos, eliminando muchas de las ventajas de saltar a una tecnología más avanzada.

FIGURA 9  
NIVELES DE LA CADENA DE VALOR



Fuente: *Strategic Research Agenda for Electronic Components and Systems*. ECS-SRA 2018. Pág. 109

Se prevé que la miniaturización de los circuitos integrados durante unos pocos años más seguirá la Ley de Moore. Ello hará que el problema del consumo sea cada vez más crítico y que los diseñadores y fabricantes de circuitos integrados para cualquier sector del mercado tengan que buscar soluciones innovadoras y de bajo coste. Es por ello que el desarrollo de circuitos integrados representa el desafío más importante dentro de la industria electrónica en general. Esto es debido a la imposibilidad de efectuar modificaciones en el diseño de uno de estos dispositivos una vez fabricados. A esto se añade el elevado coste en términos económicos y temporales de producción de los mismos.

Además, resulta extraordinariamente complejo tomar medidas en el interior de estos dispositivos, siendo generalmente necesario recurrir a laboratorios y salas blancas especializadas.

Por esta razón, es importante disponer de planes de contingencia que permitan asegurar la finalización del proyecto con el mínimo retraso y coste económico adicional posible. Según la integración va siendo mayor, el consumo de potencia de los circuitos integrados se va volviendo un factor más importante, debido tanto al incremento de la potencia dinámica por el mayor número de transistores integrados, como al incremento de las corrientes de fugas, haciendo que la práctica totalidad de los diseños en las últimas tecnologías empleen técnicas "low-power" (N64) con

el objeto de minimizar el consumo de potencia de estos circuitos.

## SUBSISTEMAS

Un subsistema es un sistema que es parte de otro sistema mayor. En definitiva, un subsistema es un conjunto de elementos interrelacionados que, en sí mismo, son un sistema, pero a la vez son parte de un sistema superior.

## SISTEMAS

Un sistema electrónico es un conjunto de circuitos que interactúan entre sí para obtener un resultado. (N65) El concepto de sistema se representa en la fig. 9. En todos los niveles de la cadena de valor, el dispositivo de nivel superior que será desarrollado generalmente se llama "sistema", incluso si se usa como un componente en niveles más altos de la cadena de valor.

Sus aplicaciones son múltiples como se verá en el apartado siguiente. Este apartado se centrará en tres tipos fundamentales de sistemas: sistemas embebidos o *embedded systems*, sistemas inteligentes o *smart systems* y sistemas ciberfísicos o *cyber-physical systems*.

Un sistema embebido (N66) es un sistema de computación diseñado para realizar una o algunas pocas funciones dedicadas frecuentemente en un sistema

de computación en tiempo real. Al contrario de lo que ocurre con los ordenadores de propósito general que están diseñados para cubrir un amplio rango de necesidades, los sistemas embebidos se diseñan para cubrir necesidades específicas.

La integración de sistemas (N67) inteligentes combina múltiples tecnologías, funciones y materiales que utilizan nanoelectrónica, micro-electro-mecánica, magnetismo, fotónica, microfluídica, acústica, principios bioquímicos y químicos, radiación y RF, así como también tecnologías completamente nuevas para formar sistemas inteligentes que son confiables, robustos, seguros y a menudo miniaturizados, en red, predictivos, pueden aprender y ser autónomos. Reúnen capacidades de detección, diagnóstico, gestión, actuación, comunicación y colaboración para mejorar la calidad de vida y abordar los desafíos sociales.

Los sistemas ciberfísicos (N68) son sistemas integrados TIC inteligentes que hacen que los productos sean más inteligentes, más interconectados, interdependientes, colaborativos y autónomos.

Proporcionan computación y comunicación, monitorización y control de componentes y procesos físicos en diversas aplicaciones. Aprovechar con rapidez estas capacidades crea aplicaciones con nuevas funcionalidades, enormes y disruptivas, con un impacto social sin precedentes y con beneficio económico para los ciudadanos y las sociedades.

## APLICACIONES

Las principales aplicaciones de la MNE, de forma no exhaustiva, son las siguientes:

- Transporte y Movilidad Inteligente
- Conectividad y Redes Digitales
- Energía
- Salud y Bienestar Social
- Estilo de Vida Digital
- Industria Digital

Como las aplicaciones son muy amplias, simplemente se hace referencia al documento "ECS: Strategic Research Agenda 2018" (N69).

## CONCLUSIONES

Como conclusiones señalar que la Ley de Moore basada en la miniaturización se encuentra ya bastante cercana a las dimensiones del átomo y a nivel industrial, se considera que el límite en silicio son los 5 nm, si bien esta ley no ha hecho sino sorprender, persistiendo en obtener más miniaturización mediante silicio.

MM es una tendencia tecnológica cuya necesidad de inversión es muy alta y como señalaba *Gartner*: diseñar en 7 nm resulta nueve veces más caro que diseñar en

28 nm. El alto coste de las inversiones necesarias y el riesgo tecnológico que se asume, hace difícil obtener un retorno de la inversión (ROI(21)) que garantice una adecuada rentabilidad, salvo para los grandes gigantes de la MNE, casi todos ellos en EE.UU. y Asia, salvo algunas honrosas excepciones en Europa. Por lo tanto, MM es una tendencia tecnológica que necesita a las grandes empresas de tal forma que las PYMES solo podrían aprovecharse de esta tendencia mediante el efecto tractor de las grandes.

Como conclusión, en el caso de MIM, señalar que se trata de una tendencia tecnológica donde Europa es competitiva y puede llegar a serlo más. Esta tendencia se encuentra más próxima a mercado y debería ser aprovechada por las PYMES europeas mediante la participación en proyectos de cooperación internacional en I+D+i.

Como conclusiones en el caso de Beyond CMOS, comentar que esta tendencia tecnológica se encuentra todavía a nivel de investigación, con un futuro prometedor. Estaría en el ámbito de la investigación a largo plazo y requeriría la participación fundamental de los laboratorios y centros de investigación. Cualquier tecnología que desee competir con el silicio debe ser capaz de producir e integrar miles de millones de componentes de una forma más barata que la utilizada en las actuales factorías. El tipo de material que se utilice en los futuros dispositivos electrónicos no dependerá sólo de sus excelentes propiedades para transportar electrones sino de los costes de su fabricación en masa y su integración en sistemas de mayor complejidad. Mientras que esto no ocurra, el salto de una curva "S" de la innovación a otra, no se producirá.

En definitiva, el riesgo de la inversión industrial directa en proyectos de MNE es alto en MM, pero se han conseguido casos de éxito en PYMES españolas a nivel de I+D en MIM, mediante su participación en proyectos europeos de cooperación internacional en I+D+i.

Desde este punto de vista, la estrategia europea: "Innovation through the complete value chain", esto es, la innovación a través de toda la cadena de valor y no solamente la innovación dirigida exclusivamente hacia los chips y los semiconductores, es la estrategia correcta.

En efecto, esta estrategia no solo permite hacer I+D+i a través de la toda la cadena de valor, sino que posibilita que, participando en una parte concreta de dicha cadena, se pueda aprender de otros participantes con mayor capacitación tecnológica en las tecnologías que constituyen el núcleo de la MNE, para conseguir aprender y de esta forma, elevar el nivel tecnológico de España a través de una cooperación internacional efectiva en I+D+i.

■ Juan Miguel Ibáñez de Aldecoa Quintana

## NOTAS

- [N1] [http://ec.europa.eu/growth/industry/policy/key-enabling-technologies/european-strategy/high-level-group\\_en](http://ec.europa.eu/growth/industry/policy/key-enabling-technologies/european-strategy/high-level-group_en)
- [N2] 50 temas de física cuántica. Blume. Brian Clegg
- [N3] [https://en.wikipedia.org/wiki/There%27s\\_Plenty\\_of\\_Room\\_at\\_the\\_Bottom](https://en.wikipedia.org/wiki/There%27s_Plenty_of_Room_at_the_Bottom)
- [N4] [https://es.wikipedia.org/wiki/Ley\\_de\\_Moore](https://es.wikipedia.org/wiki/Ley_de_Moore)
- [N5] <http://www.astronoo.com/es/articulos/tamano-de-los-atomos.html>
- [N6] [https://en.wikipedia.org/wiki/Beyond\\_CMOS](https://en.wikipedia.org/wiki/Beyond_CMOS)
- [N7] [https://es.wikipedia.org/wiki/Transistor\\_de\\_electr%C3%B3n\\_%C3%BAnico](https://es.wikipedia.org/wiki/Transistor_de_electr%C3%B3n_%C3%BAnico)
- [N8] <http://www.ions4sef.eu/home.php>
- [N9] <https://ec.europa.eu/digital-single-market/en/news/european-industrial-strategic-roadmap-micro-and-nano-electronic-components-and-systems>
- [N10] [https://www.semiconductors.org/clientuploads/Research\\_Technology/ITRS/2015/5\\_2015%20ITRS%202.0\\_More%20Moore.pdf](https://www.semiconductors.org/clientuploads/Research_Technology/ITRS/2015/5_2015%20ITRS%202.0_More%20Moore.pdf)
- [N11] <https://www.quora.com/What-is-More-than-Moore>
- [N12] [https://es.wikipedia.org/wiki/Efecto\\_t%C3%BAnel](https://es.wikipedia.org/wiki/Efecto_t%C3%BAnel)
- [N13] <http://www.microsiervos.com/archivo/ordenadores/intel-chip-record.html>
- [N14] [https://es.wikipedia.org/wiki/Ley\\_de\\_Moore](https://es.wikipedia.org/wiki/Ley_de_Moore)
- [N15] <http://electronica.ugr.es/~amroldan/deyte/cap12.htm>
- [N16] <https://es.wikipedia.org/wiki/Nanolitograf%C3%ADA>
- [N17] <http://www.electronicdesign.com/>
- [N18] [https://es.wikipedia.org/wiki/Relaci%C3%B3n\\_de\\_indefinici%C3%B3n\\_de\\_Heisenberg](https://es.wikipedia.org/wiki/Relaci%C3%B3n_de_indefinici%C3%B3n_de_Heisenberg)
- [N19] [https://es.wikipedia.org/wiki/Ecuaci%C3%B3n\\_de\\_Schr%C3%B6dinger](https://es.wikipedia.org/wiki/Ecuaci%C3%B3n_de_Schr%C3%B6dinger)
- [N20] [https://es.wikipedia.org/wiki/Entrelazamiento\\_cu%C3%A1ntico](https://es.wikipedia.org/wiki/Entrelazamiento_cu%C3%A1ntico)
- [N21] <https://www.20minutos.es/opiniones/rosalia-lloret-tribuna-increible-caso-chip-menguante-3064974/>
- [N22] [https://es.wikipedia.org/wiki/Sala\\_blanca](https://es.wikipedia.org/wiki/Sala_blanca)
- [N23] [https://es.wikipedia.org/wiki/System\\_on\\_a\\_chip](https://es.wikipedia.org/wiki/System_on_a_chip)
- [N24] [https://es.wikipedia.org/wiki/Retorno\\_de\\_la\\_inversi%C3%B3n](https://es.wikipedia.org/wiki/Retorno_de_la_inversi%C3%B3n)
- [N25] [https://es.wikipedia.org/wiki/Sistemas\\_microelectromec%C3%A1nicos](https://es.wikipedia.org/wiki/Sistemas_microelectromec%C3%A1nicos)
- [N26] [https://en.wikipedia.org/wiki/Nanoelectromechanical\\_systems](https://en.wikipedia.org/wiki/Nanoelectromechanical_systems)
- [N27] [https://en.wikipedia.org/wiki/System\\_in\\_package](https://en.wikipedia.org/wiki/System_in_package)
- [N28] <http://www.tsmc.com/english/dedicatedFoundry/technology/mtm.htm>
- [N29] Aplicaciones actuales y futuras de los nanotubos de carbono. Informes de Vigilancia Tecnológica. Madrid. María Jesús Rivas Martínez, José Román Ganzer, María Luisa Cosme Huertas
- [N30] [https://es.wikipedia.org/wiki/Emisi%C3%B3n\\_por\\_efecto\\_de\\_campo](https://es.wikipedia.org/wiki/Emisi%C3%B3n_por_efecto_de_campo)
- [N31] <https://es.wikipedia.org/wiki/Grafeno>
- [N32] <http://www.negociotecnologico.com/2011/10/proyecto-flexonics-dispositivos-electronicos-flexibles/>
- [N33] <https://ec.europa.eu/digital-single-market/en/news/european-industrial-strategic-roadmap-micro-and-nano-electronic-components-and-systems>
- [N34] [https://es.wikipedia.org/wiki/Lenguaje\\_de\\_descripci%C3%B3n\\_de\\_hardware](https://es.wikipedia.org/wiki/Lenguaje_de_descripci%C3%B3n_de_hardware)
- [N35] <https://es.wikipedia.org/wiki/VHDL>
- [N36] <https://es.wikipedia.org/wiki/Verilog>
- [N37] [https://en.wikipedia.org/wiki/Register-transfer\\_level](https://en.wikipedia.org/wiki/Register-transfer_level)
- [N38] <https://en.wikipedia.org/wiki/AHPL>
- [N39] [https://es.wikipedia.org/wiki/Lenguaje\\_de\\_definici%C3%B3n\\_de\\_datos](https://es.wikipedia.org/wiki/Lenguaje_de_definici%C3%B3n_de_datos)
- [N40] [https://en.wikipedia.org/wiki/In-system\\_programming](https://en.wikipedia.org/wiki/In-system_programming)
- [N41] <https://es.wikipedia.org/wiki/SystemC>
- [N42] [https://es.wikipedia.org/wiki/Sistema\\_operativo\\_de\\_tiempo\\_real](https://es.wikipedia.org/wiki/Sistema_operativo_de_tiempo_real)
- [N43] [http://www.wipo.int/edocs/pubdocs/es/wipo\\_pub\\_895\\_2016.pdf](http://www.wipo.int/edocs/pubdocs/es/wipo_pub_895_2016.pdf) Principios básicos de la propiedad industrial. La propiedad intelectual y los circuitos integrados. Páginas 13 y 14
- [N44] [https://es.wikipedia.org/wiki/Circuito\\_integrado\\_de\\_aplicaci%C3%B3n\\_espec%C3%ADfica](https://es.wikipedia.org/wiki/Circuito_integrado_de_aplicaci%C3%B3n_espec%C3%ADfica)
- [N45] [https://es.wikipedia.org/wiki/Field\\_Programmable\\_Gate\\_Array](https://es.wikipedia.org/wiki/Field_Programmable_Gate_Array)
- [N46] [https://es.wikipedia.org/wiki/Procesador\\_digital\\_de\\_se%C3%B1ales](https://es.wikipedia.org/wiki/Procesador_digital_de_se%C3%B1ales)
- [N47] [http://sedici.unlp.edu.ar/bitstream/handle/10915/21604/Documento\\_completo.pdf?sequence=1](http://sedici.unlp.edu.ar/bitstream/handle/10915/21604/Documento_completo.pdf?sequence=1)
- [N48] <https://es.wikipedia.org/wiki/CPLD>
- [N49] El nanomundo en tus manos. Las claves de la nanociencia y la nanotecnología. José Ángel Martín-Gago, Carlos Briones, Elena Casero y Pedro A. Serena. Crítica
- [N50] [https://es.wikipedia.org/wiki/Oblea\\_\(electr%C3%B3nica\)](https://es.wikipedia.org/wiki/Oblea_(electr%C3%B3nica))
- [N51] <https://nanotecnologia.fundaciontelefonica.com/2006/11/15/manipulacion-a-escala-atmica-con-el-strm/>
- [N52] [https://es.wikipedia.org/wiki/Anexo:Materiales\\_semiconductores](https://es.wikipedia.org/wiki/Anexo:Materiales_semiconductores)
- [N53] <https://es.wikipedia.org/wiki/MMIC>
- [N54] [https://en.wikipedia.org/wiki/Low-noise\\_amplifier](https://en.wikipedia.org/wiki/Low-noise_amplifier)
- [N55] <https://www.wirelessdesignmag.com/product-release/2014/08/gan-inas-rfmw-cover-2-12-ghz>

- [N56] [https://en.wikipedia.org/wiki/Foundry\\_model](https://en.wikipedia.org/wiki/Foundry_model)  
 [N57] [https://es.wikipedia.org/wiki/Planta\\_de\\_fabricaci%C3%B3n\\_de\\_semiconductores](https://es.wikipedia.org/wiki/Planta_de_fabricaci%C3%B3n_de_semiconductores)  
 [N58] [https://en.wikipedia.org/wiki/Sala\\_blanca](https://en.wikipedia.org/wiki/Sala_blanca)  
 [N59] <https://en.wikipedia.org/wiki/Stepper>  
 [N60] <https://es.wikipedia.org/wiki/Fotolitograf%C3%ADa>  
 [N61] <https://www.extremetech.com/computing/242699-450mm-silicon-wafers-arent-happening-time-soon-major-consortium-collapse>  
 [N62] <https://www.extremetech.com/computing/242699-450mm-silicon-wafers-arent-happening-time-soon-major-consortium-collapse>  
 [N63] [https://es.wikipedia.org/wiki/M%C3%B3dulo\\_multichip](https://es.wikipedia.org/wiki/M%C3%B3dulo_multichip)  
 [N64] <http://www.electronicdesign.com/power/understanding-low-power-ic-design-techniques>  
 [N65] <https://es.wikipedia.org/wiki/Electr%C3%B3nica>  
 [N66] [https://es.wikipedia.org/wiki/Sistema\\_embebido](https://es.wikipedia.org/wiki/Sistema_embebido)  
 [N67] the Electronic Components and Systems Strategic Research Agenda (ECS-SRA)  
 [N68] the Electronic Components and Systems Strategic Research Agenda (ECS-SRA)  
 [N69] the Electronic Components and Systems Strategic Research Agenda (ECS-SRA)

## BIBLIOGRAFÍA

- [1] Instituto Tecnológico de California  
 [2] "Hay mucho espacio en el fondo"  
 [3] Dimensiones del orden de la mil millonésima parte de un metro  
 [4] Dimensiones del orden de la millonésima parte de una micra  
 [5] Unión Europea  
 [6] CMOS significa Complementary metal-oxide-semiconductor  
 [7] Al menos en los países desarrollados  
 [8] <http://www.electronicdesign.com/>  
 [9] MEMS: Microelectromechanical Systems  
 [10] NEMS: Nanoelectromechanical Systems  
 [11] RF: Radio Frecuencia  
 [12] LED: Light-Emitting Diode o diodo emisor de luz  
 [13] Evolución de la tecnología More than Moore según la Ley de Moore  
 [14] usados como lectores de CD y DVD  
 [15] electrónica del espín  
 [16] PCB: Printed Circuit Board  
 [17] Arseniuro de Galio  
 [18] Fosforo de indio  
 [19] Germaniuro de silicio  
 [20] MOS: Metal-Oxide-Semiconductor  
 [21] *Return on Investment* o Retorno de la Inversión